

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-260510

(43)Date of publication of application : 03.10.1997

(51)Int.Cl.

H01L 21/8244

H01L 27/11

(21)Application number : 08-035872

(71)Applicant : HITACHI LTD

(22)Date of filing : 23.02.1996

(72)Inventor : KIKUSHIMA KENICHI

OTSUKA FUMIO

SATO KAZUE

(30)Priority

Priority number : 08 5487

Priority date : 17.01.1996

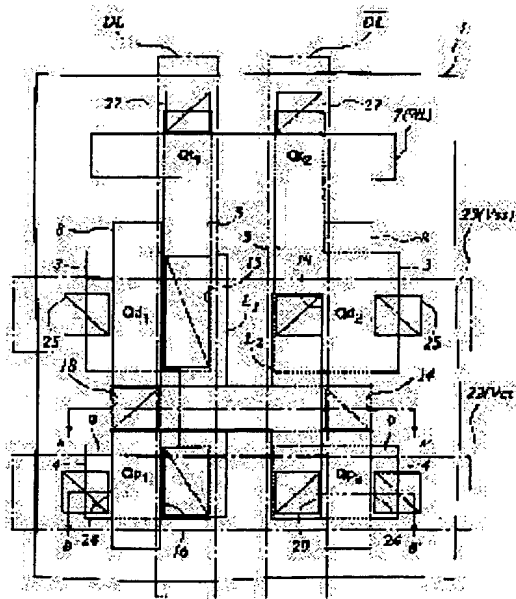
Priority country : JP

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the memory cell size of a complete CMOS type SRAM, by arranging one of local wirings and the other in such a manner that at least parts of them are overlapped, and constituting a capacitive element of one of the local wirings, the other of the local wirings and an insulating film interposed between them.

SOLUTION: A pair of MISFETs Qd1, Qd2, Qp1, Qp2 for driving and for a load constitute a flip-flop circuit as an information storing part. Its one I/O terminal is electrically connected with one of the source/drain region of an MISFET Qt1 for transfer. The other I/O terminal is electrically connected with one of the source/drain region of an MISFET Qt2 for transfer. A data line/DL is connected with the others of the source/drain regions of the MISFET's Qt1, Qt2 for transfer. One end of the flip-flop circuit is connected with a power supply voltage Vcc, and the other end is connected with a reference voltage Vss. The parts between I/O terminals of the flip-flop circuit are cross-coupled via a pair of local wirings L1, L2, and arranged in different conducting layers. Thereby the occupied area of a memory cell can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision
of rejection]
[Date of requesting appeal against examiner's
decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9 - 2 6 0 5 1 0

(43) 公開日 平成 9 年 (1 9 9 7) 1 0 月 3 日

(51) Int. Cl. ⁶

H01L 21/8244
27/11

識別記号

庁内整理番号

F I

H01L 27/10

381

技術表示箇所

審査請求 未請求 請求項の数 2 3 O L (全 4 3 頁)

(21) 出願番号 特願平 8 - 3 5 8 7 2
(22) 出願日 平成 8 年 (1 9 9 6) 2 月 2 3 日
(31) 優先権主張番号 特願平 8 - 5 4 8 7
(32) 優先日 平 8 (1 9 9 6) 1 月 1 7 日
(33) 優先権主張国 日本 (J P)

(71) 出願人 0 0 0 0 0 5 1 0 8
株式会社日立製作所
東京都千代田区神田駿河台四丁目 6 番地
(72) 発明者 菊島 健一
東京都青梅市今井 2 3 2 6 番地 株式会社
日立製作所デバイス開発センタ内
(72) 発明者 大塚 文雄
東京都青梅市今井 2 3 2 6 番地 株式会社
日立製作所デバイス開発センタ内
(72) 発明者 佐藤 和重
東京都青梅市今井 2 3 2 6 番地 株式会社
日立製作所デバイス開発センタ内
(74) 代理人 弁理士 筒井 大和

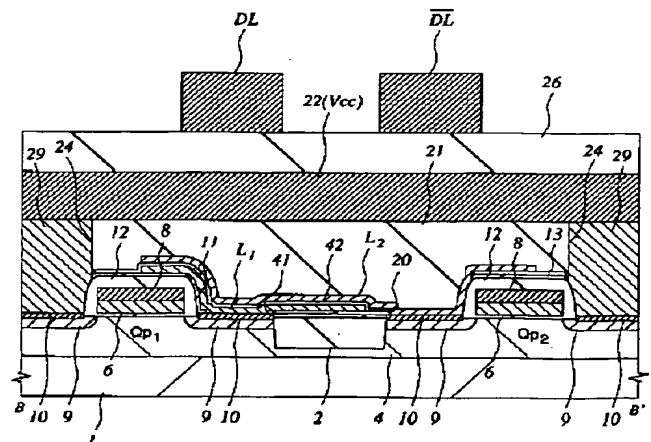
(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 S R A M のメモリセルサイズを縮小する。また、S R A M のソフトエラー耐性を向上させる。

【解決手段】 メモリセルのフリップフロップ回路の入出力端子間を交差結合する一対の局所配線 L_1 、 L_2 を異なる導電層に形成する。また、上層の局所配線 L_1 を下層の局所配線 L_2 と重なり合うように配置し、これらの局所配線 L_1 、 L_2 とこれらの間に介在する絶縁膜（窒化シリコン膜 4 2）とで容量素子を構成する。

図 35



L_1 、 L_2 : 局所配線
42: 窒化シリコン膜

【特許請求の範囲】

【請求項 1】 一対の駆動用 M I S F E T および一対の負荷用 M I S F E T からなるフリップフロップ回路と一対の転送用 M I S F E T とでメモリセルを構成した S R A M を有する半導体集積回路装置であって、半導体基板の主面上に形成した第 1 導電膜で前記駆動用 M I S F E T、負荷用 M I S F E T および転送用 M I S F E T のそれぞれのゲート電極を構成し、前記第 1 導電膜の上部に形成した第 2 導電膜で前記フリップフロップ回路の一対の入出力端子間を交差結合する局所配線の一方を構成し、前記第 2 導電膜の上部に形成した第 3 導電膜で前記局所配線の他方を構成したことを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 記載の半導体集積回路装置であって、前記局所配線の一方と前記局所配線の他方とを少なくとも互いの一部が上下に重なるように配置し、前記局所配線の一方と前記局所配線の他方とそれらの間に介在する絶縁膜とで容量素子を構成したことを特徴とする半導体集積回路装置。

【請求項 3】 請求項 2 記載の半導体集積回路装置であって、前記局所配線の一方と前記局所配線の他方とは、前記局所配線の他方と前記フリップフロップ回路を構成する M I S F E T とを接続する接続孔の開孔領域とその合わせ余裕領域とを除いた領域において互いに重なり合っていることを特徴とする半導体集積回路装置。

【請求項 4】 請求項 2 記載の半導体集積回路装置であって、前記局所配線の一方と前記局所配線の他方との間に介在する前記絶縁膜は、窒化シリコン膜または五酸化タンタル膜であることを特徴とする半導体集積回路装置。

【請求項 5】 請求項 1、2、3 または 4 記載の半導体集積回路装置であって、前記第 2 導電膜および前記第 3 導電膜のそれぞれを金属材料で構成したことを特徴とする半導体集積回路装置。

【請求項 6】 請求項 5 記載の半導体集積回路装置であって、前記第 2 導電膜および前記第 3 導電膜のうち、少なくとも前記第 2 導電膜を高融点金属または高融点金属化合物で構成したことを特徴とする半導体集積回路装置。

【請求項 7】 請求項 5 記載の半導体集積回路装置であって、前記第 2 導電膜および前記第 3 導電膜のうち、少なくとも前記第 3 導電膜をアルミニウムを主成分とする金属材料で構成したことを特徴とする半導体集積回路装置。

【請求項 8】 請求項 1 ～ 7 のいずれか 1 項に記載の半導体集積回路装置であって、前記一対の駆動用 M I S F E T、前記一対の負荷用 M I S F E T および前記一対の転送用 M I S F E T のそれぞれのソース領域、ドレイン領域の表面に高融点金属シリサイド層を形成したことを特徴とする半導体集積回路装置。

【請求項 9】 請求項 1 ～ 7 のいずれか 1 項に記載の半導体集積回路装置であって、前記一対の駆動用 M I S F E T、前記一対の負荷用 M I S F E T および前記一対の転送用 M I S F E T のそれぞれのゲート電極、ソース領域およびドレイン領域の表面に高融点金属シリサイド層を形成したことを特徴とする半導体集積回路装置。

【請求項 10】 請求項 1 ～ 9 のいずれか 1 項に記載の半導体集積回路装置であって、前記第 3 導電膜の上部に形成した第 4 導電膜で前記一対の駆動用 M I S F E T のそれぞれのソース領域に接続される基準電圧線および前記一対の負荷用 M I S F E T のそれぞれのソース領域に接続される電源電圧線を構成し、前記第 4 導電膜の上部に形成した第 5 導電膜で前記一対の転送用 M I S F E T のそれぞれのドレイン領域に接続されるデータ線を構成したことを特徴とする半導体集積回路装置。

【請求項 11】 請求項 1 ～ 10 のいずれか 1 項に記載の半導体集積回路装置であって、前記一対の駆動用 M I S F E T および前記一対の転送用 M I S F E T が形成される半導体基板の第 1 導電型活性領域と、前記一対の負荷用 M I S F E T が形成される半導体基板の第 2 導電型活性領域とを、前記半導体基板に開孔した溝によって分離したことを特徴とする半導体集積回路装置。

【請求項 12】 請求項 2 記載の半導体集積回路装置であって、前記局所配線の一方と前記局所配線の他方とを、前記一対の駆動用 M I S F E T のゲート電極とドレイン領域、前記一対の負荷用 M I S F E T のゲート電極とドレイン領域および前記一対の転送用 M I S F E T のゲート電極のそれぞれの上部に形成したことを特徴とする半導体集積回路装置。

【請求項 13】 一対の駆動用 M I S F E T および一対の負荷用 M I S F E T からなるフリップフロップ回路と一対の転送用 M I S F E T とでメモリセルを構成した S R A M を有する半導体集積回路装置の製造方法であって、(a) 主面上に前記駆動用 M I S F E T、前記負荷用 M I S F E T および前記転送用 M I S F E T のそれぞれのゲート電極を形成した半導体基板を用意する工程、(b) 前記フリップフロップ回路の一対の入出力端子間を交差結合する一対の局所配線の一方を前記ゲート電極の上部に形成する工程、(c) 前記局所配線の一方の上部に前記一対の局所配線の他方を形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 14】 一対の駆動用 M I S F E T および一対の負荷用 M I S F E T からなるフリップフロップ回路と一対の転送用 M I S F E T とでメモリセルを構成した S R A M を有する半導体集積回路装置の製造方法であって、(a) 主面上に前記駆動用 M I S F E T、前記負荷用 M I S F E T および前記転送用 M I S F E T のそれぞれのゲート電極を形成した半導体基板を用意する工程、(b) 前記フリップフロップ回路の一対の入出力端子間を交差結合する一対の局所配線の少なくとも一方を前記

10

20

30

40

50

ゲート電極の上部に形成する工程、(c) 前記局所配線の少なくとも一方の上部に堆積した第 1 絶縁膜をエッチングして、前記ゲート電極、前記局所配線の少なくとも一方のそれぞれの側壁にサイドウォールスペーサを形成する工程、(d) 前記サイドウォールスペーサが形成された前記局所配線の少なくとも一方の上部に前記第 1 絶縁膜とはエッチング速度が異なる第 2 絶縁膜を堆積し、前記第 2 絶縁膜をエッチングして前記駆動用 M I S F E T または前記負荷用 M I S F E T のソース領域に達する接続孔を形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 1 5】 一対の駆動用 M I S F E T および一対の負荷用 M I S F E T からなるフリップフロップ回路と一対の転送用 M I S F E T とでメモリセルを構成した S R A M を有する半導体集積回路装置の製造方法であって、(a) 主面上に前記駆動用 M I S F E T、前記負荷用 M I S F E T および前記転送用 M I S F E T のそれぞれのゲート電極を形成した半導体基板を用意する工程、(b) 前記フリップフロップ回路の一対の入出力端子間を交差結合する一対の局所配線の少なくとも一方を前記ゲート電極の上部に形成する工程、(c) 前記局所配線の少なくとも一方の上部に第 1 絶縁膜を堆積した後、前記第 1 絶縁膜の上部に前記第 1 絶縁膜とはエッチング速度が異なる第 2 絶縁膜を堆積し、前記第 2 絶縁膜および前記第 1 絶縁膜をエッチングして前記駆動用 M I S F E T または前記負荷用 M I S F E T のソース領域に達する接続孔を形成すると共に、前記ゲート電極および前記局所配線の少なくとも一方のそれぞれの側壁に前記第 1 絶縁膜からなるサイドウォールスペーサを形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 1 6】 請求項 1 4 または 1 5 記載の半導体集積回路装置の製造方法であって、前記第 1 絶縁膜は、前記ゲート電極と前記接続孔との合わせ余裕および前記局所配線の少なくとも一方と前記接続孔との合わせ余裕よりも大きい膜厚で堆積することを特徴とする半導体集積回路装置の製造方法。

【請求項 1 7】 請求項 1 4、1 5 または 1 6 記載の半導体集積回路装置の製造方法であって、前記ゲート電極の上部に堆積した前記第 2 導電膜をパターニングして前記一対の局所配線の少なくとも一方を形成する工程に先立ち、前記ゲート電極と前記局所配線の少なくとも一方との間に介在する絶縁膜をエッチングして、前記局所配線の少なくとも一方に接続される領域の前記ゲート電極を露出させることを特徴とする半導体集積回路装置の製造方法。

【請求項 1 8】 請求項 1 4、1 5、1 6 または 1 7 記載の半導体集積回路装置の製造方法であって、前記ゲート電極と前記局所配線の少なくとも一方とを少なくとも互いの一部が上下に重なるように配置し、前記ゲート電

極と前記局所配線の少なくとも一方とそれらの間に介在する絶縁膜とで容量素子を構成することを特徴とする半導体集積回路装置の製造方法。

【請求項 1 9】 請求項 1 4 ~ 1 8 のいずれか 1 項に記載の半導体集積回路装置の製造方法であって、前記局所配線の少なくとも一方の上部に、エッチング速度が前記第 1 絶縁膜とほぼ同じ材料で構成される第 3 絶縁膜を堆積し、前記第 3 絶縁膜の上部に前記第 1 絶縁膜を堆積することを特徴とする半導体集積回路装置の製造方法。

【請求項 2 0】 請求項 1 4 ~ 1 9 のいずれか 1 項に記載の半導体集積回路装置の製造方法であって、前記ゲート電極の上部に、前記駆動用 M I S F E T、前記負荷用 M I S F E T および前記転送用 M I S F E T を覆うように、エッチング速度が前記第 1 絶縁膜とほぼ同じ絶縁材料で構成される第 4 絶縁膜を堆積し、前記第 4 絶縁膜の上部に前記局所配線の少なくとも一方を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項 2 1】 一対の駆動用 M I S F E T および一対の負荷用 M I S F E T からなるフリップフロップ回路と一対の転送用 M I S F E T とでメモリセルを構成した S R A M を有する半導体集積回路装置の製造方法であって、(a) 主面上に前記駆動用 M I S F E T、前記負荷用 M I S F E T および前記転送用 M I S F E T のそれぞれのゲート電極を形成した半導体基板を用意する工程、(b) 前記フリップフロップ回路の一対の入出力端子間を交差結合する一対の局所配線の一方を前記ゲート電極の上部に形成する工程、(c) 前記局所配線の一方の上部に堆積した第 3 導電膜をパターニングして、前記一対の局所配線の他方を形成する工程、(d) 前記局所配線の他方の上部に堆積した第 1 絶縁膜をエッチングして、前記ゲート電極、前記局所配線の一方および前記局所配線の他方のそれぞれの側壁にサイドウォールスペーサを形成する工程、(e) 前記サイドウォールスペーサが形成された前記他方の局所配線の上部に前記第 1 絶縁膜とはエッチング速度が異なる第 2 絶縁膜を堆積し、前記第 2 絶縁膜をエッチングして前記駆動用 M I S F E T または前記負荷用 M I S F E T のソース領域に達する接続孔を形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 2 2】 一対の駆動用 M I S F E T および一対の負荷用 M I S F E T からなるフリップフロップ回路と一対の転送用 M I S F E T とでメモリセルを構成した S R A M を有する半導体集積回路装置の製造方法であって、(a) 主面上に前記駆動用 M I S F E T、前記負荷用 M I S F E T および前記転送用 M I S F E T のそれぞれのゲート電極を形成した半導体基板を用意する工程、(b) 前記フリップフロップ回路の一対の入出力端子間を交差結合する一対の局所配線の一方を前記ゲート電極の上部に形成する工程、(c) 前記局所配線の一方の上部に堆積した第 3 導電膜をパターニングして、前記一対

10

20

30

40

50

の局所配線の他方を形成する工程、(d) 前記局所配線の他方の上部に第 1 絶縁膜を堆積した後、前記第 1 絶縁膜の上部に前記第 1 絶縁膜とはエッチング速度が異なる第 2 絶縁膜を堆積し、前記第 2 絶縁膜および前記第 1 絶縁膜をエッチングして前記駆動用 M I S F E T または前記負荷用 M I S F E T のソース領域に達する接続孔を形成すると共に、前記ゲート電極、前記局所配線の一方および前記局所配線の他方のそれぞれの側壁に前記第 1 絶縁膜からなるサイドウォールスペーサを形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 2 3】 請求項 2 1 または 2 2 記載の半導体集積回路装置の製造方法であって、前記第 1 絶縁膜は、前記ゲート電極と前記接続孔との合わせ余裕、前記局所配線の一方と前記接続孔との合わせ余裕および前記局所配線の他方と前記接続孔との合わせ余裕よりも大きい膜厚で堆積することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造方法に関し、特に、S R A M (Static Random Access Memory) を有する半導体集積回路装置に適用して有効な技術に関するものである。

【 0 0 0 2 】

【従来の技術】半導体記憶装置である S R A M のメモリセルは、1 ビット bit の情報を記憶する情報蓄積部としてのフリップフロップ回路、および情報の書込み、読出しを行うデータ線と上記フリップフロップ回路との導通を制御する一対の転送用 M I S F E T (Metal Insulator or Semiconductor Field Effect Transistor) で構成されている。

【 0 0 0 3 】メモリセルのフリップフロップ回路は、一例として一対の C M O S (Complementary Metal Oxide Semiconductor) インバータで構成される。この一対の C M O S インバータのそれぞれは、1 個の駆動用 M I S F E T と 1 個の負荷用 M I S F E T とで構成される。つまりこの場合、メモリセルは、2 個の駆動用 M I S F E T 、2 個の負荷用 M I S F E T および 2 個の転送用 M I S F E T を組み合わせた完全 C M O S 型で構成される。これらの M I S F E T のうち、転送用 M I S F E T と駆動用 M I S F E T は n チャネル型で構成され、負荷用 M I S F E T は p チャネル型で構成される。

【 0 0 0 4 】上記フリップフロップ回路 (C M O S インバータ) の一対の入出力端子間は、一例として局所配線と呼ばれる一対の配線を介して交差結合される。また、この入出力端子の一方には電源電圧線を通じて回路の電源電圧 (例えば 3 V) が供給され、他方には基準電圧線を通じて回路の基準電圧 (例えば 0 V) が供給される。

【 0 0 0 5 】特開平 7 - 9 9 2 5 5 号公報には、上記の

ような一対の局所配線を備えた完全 C M O S 型の S R A M が記載されている。この S R A M は、メモリセルを構成する 6 個の M I S F E T のゲート電極、フリップフロップ回路の一方の入出力端子に接続される電源電圧線、他方の入出力端子に接続される基準電圧線、一対の局所配線および転送用 M I S F E T のドレイン領域に接続されるデータ線のそれぞれを異なる導電層に形成している。またこの S R A M は、上記局所配線と他の導電層 (基準電圧線など) とを互いに交差するように配置し、この交差領域に容量素子を形成してメモリセルの蓄積ノード容量を増やすことにより、メモリセルサイズの微細化や動作電源電圧の低下に伴う α 線ソフトエラー耐性の低下を防いでいる。

【 0 0 0 6 】

【発明が解決しようとする課題】前記公報に記載された S R A M は、メモリセルを構成する 6 個の M I S F E T のゲート電極、一対の局所配線、電源配線 (電源電圧線および基準電圧線)、データ線のそれぞれを異なる導電層に形成する。そのため、フォトレジストをマスクにして層間絶縁膜に接続孔を形成する際のマスク合わせ余裕が大きくなり、メモリセルサイズが増大してしまう。例えばゲート電極を第 1 層目の導電膜、局所配線を第 2 層目の導電膜、電源配線を第 3 層目の導電膜でそれぞれ構成した場合、電源配線を M I S F E T の半導体領域に接続する接続孔を形成する際には、ゲート電極と局所配線の両方に対して合わせ余裕を確保する必要がある。

【 0 0 0 7 】また、前記公報に記載された S R A M は、一対の局所配線を同一層の導電膜で形成している。そのため、メモリセル内に 2 本の局所配線を横に並べて配置するスペースが必要となり、その分、メモリセルサイズが増大してしまう。

【 0 0 0 8 】本発明の目的は、完全 C M O S 型 S R A M のメモリセルサイズを縮小する技術を提供することにある。

【 0 0 0 9 】本発明の他の目的は、完全 C M O S 型 S R A M の α 線ソフトエラー耐性を向上させる技術を提供することにある。

【 0 0 1 0 】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 1 1 】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【 0 0 1 2 】本発明の半導体集積回路装置は、一対の駆動用 M I S F E T および一対の負荷用 M I S F E T からなるフリップフロップ回路と一対の転送用 M I S F E T とでメモリセルを構成した S R A M において、半導体基板の主面上に形成した第 1 導電膜で前記駆動用 M I S F E T 、負荷用 M I S F E T および転送用 M I S F E T の

それぞれのゲート電極を構成し、前記第 1 導電膜の上部に形成した第 2 導電膜で前記フリップフロップ回路の一方の入出力端子間を交差結合する局所配線の一方を構成し、前記第 2 導電膜の上部に形成した第 3 導電膜で前記局所配線の他方を構成する。

【 0 0 1 3 】本発明の半導体集積回路装置は、前記局所配線の一方と前記局所配線の他方とを少なくとも互いの一部が上下に重なるように配置し、前記局所配線の一方と前記局所配線の他方とそれらの間に介在する絶縁膜とで容量素子を構成する。

【 0 0 1 4 】本発明の半導体集積回路装置の製造方法は、一对の駆動用 M I S F E T および一对の負荷用 M I S F E T からなるフリップフロップ回路と一对の転送用 M I S F E T とでメモリセルを構成した S R A M の製造において、(a) 主面上に前記駆動用 M I S F E T 、前記負荷用 M I S F E T および前記転送用 M I S F E T のそれぞれのゲート電極を形成した半導体基板を用意する工程、(b) 前記ゲート電極の上部に、前記フリップフロップ回路の一方の入出力端子間を交差結合する一方の局所配線を形成する工程、(c) 前記ゲート電極、前記局所配線のそれぞれの側壁にサイドウォールスペースを形成する工程、(d) 前記サイドウォールスペースが形成された前記局所配線の上部に前記第 1 絶縁膜とはエッチング速度が異なる第 2 絶縁膜を堆積し、前記第 2 絶縁膜をエッチングして前記駆動用 M I S F E T または前記負荷用 M I S F E T のソース領域に達する接続孔を形成する工程、を含んでいる。

【 0 0 1 5 】本発明の半導体集積回路装置の製造方法は、一对の駆動用 M I S F E T および一对の負荷用 M I S F E T からなるフリップフロップ回路と一对の転送用 M I S F E T とでメモリセルを構成した S R A M の製造において、(a) 主面上に前記駆動用 M I S F E T 、前記負荷用 M I S F E T および前記転送用 M I S F E T のそれぞれのゲート電極を形成した半導体基板を用意する工程、(b) 前記ゲート電極の上部に前記フリップフロップ回路の一方の入出力端子間を交差結合する局所配線の一方を形成する工程、(c) 前記局所配線の一方の上部に前記一方の局所配線の他方を形成する工程、(d) 前記局所配線の他方の上部に堆積した第 1 絶縁膜をエッチングして、前記ゲート電極、前記局所配線の一方および前記局所配線の他方のそれぞれの側壁にサイドウォールスペースを形成する工程、(e) 前記サイドウォールスペースが形成された前記他方の局所配線の上部に前記第 1 絶縁膜とはエッチング速度が異なる第 2 絶縁膜を堆積し、前記第 2 絶縁膜をエッチングして前記駆動用 M I S F E T または前記負荷用 M I S F E T のソース領域に達する接続孔を形成する工程、を含んでいる。

【 0 0 1 6 】上記した手段によれば、メモリセルのフリップフロップ回路の入出力端子間を交差結合する一方の局所配線を異なる導電層に形成することにより、一方の

局所配線を同一層の導電膜で形成する場合には必要となる 2 本の局所配線を横に並べて配置するスペースが不要となり、局所配線同士を部分的に重なり合うように配置することが可能となるので、メモリセルの占有面積を縮小することが可能となる。

【 0 0 1 7 】上記した手段によれば、局所配線の一方と局所配線の他方とを上下に重なり合うように配置し、局所配線の一方と局所配線の他方とそれらの間に介在する絶縁膜とで容量素子を構成することにより、メモリセルの蓄積ノード容量を増やすことができるので、メモリセルサイズの微細化や動作電源電圧の低下に伴う α 線ソフトエラー耐性の低下を防ぐことができる。

【 0 0 1 8 】上記した手段によれば、フォトレジストをマスクにして層間絶縁膜に接続孔を形成する際のマスク合わせ余裕を不要とすることができるので、メモリセルの占有面積を縮小することができる。

【 0 0 1 9 】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【 0 0 2 0 】(実施の形態 1) 図 5 は、本実施の形態の S R A M のメモリセルの等価回路図である。図示のように、このメモリセルは、一方の相補性データ線(データ線 D L 、データ線 / (バー) D L) とワード線 W L との交差部に配置され、かつ一方の駆動用 M I S F E T Q d 1 , Q d 2 、一方の負荷用 M I S F E T Q p 1 , Q p 2 および一方の転送用 M I S F E T Q t 1 , Q t 2 で構成されている。これらの M I S F E T のうち、駆動用 M I S F E T Q d 1 , Q d 2 および転送用 M I S F E T Q t 1 , Q t 2 は n チャネル型で構成され、負荷用 M I S F E T Q p 1 , Q p 2 は p チャネル型で構成されている。すなわち、このメモリセルは、4 個の n チャネル型 M I S F E T と 2 個の p チャネル型 M I S F E T とを使った完全 C M O S 型で構成されている。

【 0 0 2 1 】上記メモリセルを構成する 6 個の M I S F E T のうち、一方の駆動用 M I S F E T Q d 1 , Q d 2 と一方の負荷用 M I S F E T Q p 1 , Q p 2 は、1 ビットの情報を記憶する情報蓄積部としてのフリップフロップ回路を構成している。このフリップフロップ回路の一方の入出力端子(蓄積ノード)は転送用 M I S F E T Q t 1 のソース、ドレイン領域の一方に電気的に接続され、他方の入出力端子(蓄積ノード)は転送用 M I S F E T Q t 2 のソース、ドレイン領域の一方に電気的に接続されている。

【 0 0 2 2 】転送用 M I S F E T Q t 1 のソース、ドレイン領域の他方にはデータ線 D L が電気的に接続され、転送用 M I S F E T Q t 2 のソース、ドレイン領域の他方にはデータ線 / D L が電気的に接続されている。また、フリップフロップ回路の一端(負荷用 M I S F E T

Q p_i, Q p_j の各ソース領域)は電源電圧 (V_{cc}) に接続され、他端 (駆動用 M I S F E T Q d_i, Q d_j の各ソース領域) は基準電圧 (V_{ss}) に接続されている。電源電圧 (V_{cc}) は例えば 3 V であり、基準電圧 (V_{ss}) は例えば 0 V (GND) である。

【 0 0 2 3 】 上記フリップフロップ回路の入出力端子間は、一対の局所配線 L_i, L_j を介して交差結合している。後述するように、本実施の形態では、この一対の局所配線 L_i, L_j を異なる導電層に配置する。

【 0 0 2 4 】 上記メモリセルの具体的な構成を図 1 (メモリセル約 1 個分の平面図)、図 2 (図 1 の A - A' 線に沿った断面図)、図 3 (図 1 の B - B' 線に沿った断面図) および図 4 (メモリセル約 4 個分の平面図) を用いて説明する。なお、図 1 および図 4 にはメモリセルを構成する導電層と上下の導電層を接続する接続孔のみを示し、各導電層を分離する絶縁膜の図示は省略する。

【 0 0 2 5 】 メモリセルを構成する 6 個の M I S F E T は、単結晶シリコンからなる半導体基板 1 の主面の素子分離溝 2 によって周囲を囲まれた活性領域に形成されている。n チャネル型で構成された駆動用 M I S F E T Q d_i, Q d_j および転送用 M I S F E T Q t_i, Q t_j は、p 型ウエル 3 の活性領域に形成されており、p チャネル型で構成された負荷用 M I S F E T Q p_i, Q p_j は、n 型ウエル 4 の活性領域に形成されている。

【 0 0 2 6 】 一対の転送用 M I S F E T Q t_i, Q t_j のそれぞれは、p 型ウエル 3 の活性領域に形成された n 型半導体領域 5、5 (ソース領域、ドレイン領域) と、この活性領域の表面に形成されたゲート酸化膜 6 と、このゲート酸化膜 6 の上部に形成されたゲート電極 7 とで構成されている。転送用 M I S F E T Q t_i, Q t_j のそれぞれのゲート電極 7 は、例えば n 型多結晶シリコン膜と W (タングステン) シリサイド (W S i₂) 膜とを積層したポリサイド構造で構成され、ワード線 W L と一体に構成されている。ワード線 W L は、第 1 方向 (図 1 および図 4 の左右方向) に延在して設けられ、一対の転送用 M I S F E T Q t_i, Q t_j は、この第 1 方向に沿って互いに隣接して配置されている。また、一対の転送用 M I S F E T Q t_i, Q t_j は、そのゲート長方向が第 1 方向と直交する第 2 方向 (図 1 および図 4 の上下方向) と一致するように配置されている。

【 0 0 2 7 】 一対の駆動用 M I S F E T Q d_i, Q d_j のそれぞれは、p 型ウエル 3 の活性領域に形成された n 型半導体領域 5、5 (ソース領域、ドレイン領域) と、この活性領域の表面に形成されたゲート酸化膜 6 と、このゲート酸化膜 6 の上部に形成されたゲート電極 8 とで構成されている。駆動用 M I S F E T Q d_i の n 型半導体領域 5 (ドレイン領域) は、転送用 M I S F E T Q t_i の n 型半導体領域 5 (ソース領域、ドレイン領域の一方) と共通の活性領域に形成され、駆動用 M I S F E T Q d_j の n 型半導体領域 5 (ドレイン領域) は、転送用

M I S F E T Q t_j の n 型半導体領域 5 (ソース領域、ドレイン領域の一方) と共通の活性領域に形成されている。駆動用 M I S F E T Q d_i, Q d_j のそれぞれのゲート電極 8 は、例えば n 型多結晶シリコン膜と W シリサイド膜とを積層したポリサイド構造で構成されている。

【 0 0 2 8 】 一対の負荷用 M I S F E T Q p_i, Q p_j のそれぞれは、n 型ウエル 4 の活性領域に形成された p 型半導体領域 9、9 (ソース領域、ドレイン領域) と、この活性領域の表面に形成されたゲート酸化膜 6 と、このゲート酸化膜 6 の上部に形成されたゲート電極 8 とで構成されている。負荷用 M I S F E T Q p_i のゲート電極 8 は、前記駆動用 M I S F E T Q d_i のゲート電極 8 と一体に構成されており、負荷用 M I S F E T Q p_j のゲート電極 8 は、前記駆動用 M I S F E T Q d_j のゲート電極 8 と一体に構成されている。

【 0 0 2 9 】 前記駆動用 M I S F E T Q d_i は、前記第 2 方向において負荷用 M I S F E T Q p_j と転送用 M I S F E T Q t_j との間に配置され、前記駆動用 M I S F E T Q d_j は、第 2 方向において負荷用 M I S F E T Q p_i と転送用 M I S F E T Q t_i との間に配置されている。一対の駆動用 M I S F E T Q d_i, Q d_j および一対の負荷用 M I S F E T Q p_i, Q p_j のそれぞれは、そのゲート長方向が前記第 1 方向と一致するように配置されている。

【 0 0 3 0 】 駆動用 M I S F E T Q d_i, Q d_j および転送用 M I S F E T Q t_i, Q t_j のそれぞれの n 型半導体領域 5、5 (ソース領域、ドレイン領域) の表面には、n 型半導体領域 5、5 のシート抵抗を低減する目的で T i (チタン) シリサイド (T i S i₂) 層 1 0 が形成されている。同様に、負荷用 M I S F E T Q p_i, Q p_j のそれぞれの p 型半導体領域 9、9 (ソース領域、ドレイン領域) の表面にも p 型半導体領域 9、9 のシート抵抗を低減する目的で T i シリサイド層 1 0 が形成されている。

【 0 0 3 1 】 転送用 M I S F E T Q t_i, Q t_j のゲート電極 7 (ワード線 W L) および駆動用 M I S F E T Q d_i, Q d_j (負荷用 M I S F E T Q p_i, Q p_j) のゲート電極 8 のそれぞれの側壁には、酸化シリコン膜からなるサイドウォールスペーサ 1 1 が形成されている。また、ゲート電極 7 (ワード線 W L)、ゲート電極 8 のそれぞれの上部には酸化シリコン膜 (キャップ絶縁膜) 1 2 が形成されている。

【 0 0 3 2 】 上記 6 個の M I S F E T の上部には、窒化シリコン膜 1 3 が形成されており、この窒化シリコン膜 1 3 の上部には一対の局所配線 L_i, L_j の一方 (局所配線 L_i) が形成されている。この局所配線 L_i の一端部は、窒化シリコン膜 1 3 および酸化シリコン膜 1 2 に開孔された接続孔 1 4 を通じて、負荷用 M I S F E T Q p_j および駆動用 M I S F E T Q d_j に共通のゲート電極 8 と電気的に接続されている。局所配線 L_j の他の一端

部は、窒化シリコン膜 1 3 に開孔された接続孔 1 5 を通じて、駆動用 M I S F E T Q d_i の n 型半導体領域 5 (ドレイン領域) と電氣的に接続されている。局所配線 L_i のさらに他の一端部は、窒化シリコン膜 1 3 に開孔された接続孔 1 6 を通じて、負荷用 M I S F E T Q p_i の p 型半導体領域 9 (ドレイン領域) と電氣的に接続されている。すなわち、局所配線 L_i は駆動用 M I S F E T Q d_i (負荷用 M I S F E T Q p_i) のゲート電極 8 と、駆動用 M I S F E T Q d_i の n 型半導体領域 5 (ドレイン領域) と、負荷用 M I S F E T Q p_i の p 型半導体領域 9 (ドレイン領域) とを互いに電氣的に接続している。局所配線 L_i は、例えば T i N (チタンナイトライド) 膜からなる。局所配線 L_i は T i N の他、W などの高融点金属や、W シリサイドなどの高融点金属シリサイドで構成することもできる。

【 0 0 3 3 】 上記局所配線 L_i の上部には、P S G (Phospho Silicate Glass) などの酸化シリコン系絶縁膜からなる第 1 層目の層間絶縁膜 1 7 を介して一対の局所配線 L_i, L_j の他方 (局所配線 L_j) が形成されている。この局所配線 L_i の一端部は、層間絶縁膜 1 7、窒化シリコン膜 1 3 および酸化シリコン膜 1 2 に開孔された接続孔 1 8 を通じて、負荷用 M I S F E T Q p_i および駆動用 M I S F E T Q d_i に共通のゲート電極 8 と電氣的に接続されている。局所配線 L_i の他の一端部は、層間絶縁膜 1 7 および窒化シリコン膜 1 3 に開孔された接続孔 1 9 を通じて、駆動用 M I S F E T Q d_i の n 型半導体領域 5 (ドレイン領域) と電氣的に接続されている。局所配線 L_i のさらに他の一端部は、層間絶縁膜 1 7 および窒化シリコン膜 1 3 に開孔された接続孔 2 0 を通じて、負荷用 M I S F E T Q p_i の p 型半導体領域 9 (ドレイン領域) と電氣的に接続されている。すなわち、局所配線 L_i は駆動用 M I S F E T Q d_i (負荷用 M I S F E T Q p_i) ゲート電極 8 と、駆動用 M I S F E T Q d_i の n 型半導体領域 5 (ドレイン領域) と、負荷用 M I S F E T Q p_i の p 型半導体領域 9 (ドレイン領域) とを互いに電氣的に接続している。局所配線 L_i は、例えば上下に T i N のバリアメタル層を設けた A l (アルミニウム) 膜からなる。また、上記接続孔 1 8、1 9、2 0 の内部には、局所配線 L_i とゲート電極 8、n 型半導体領域 5 および p 型半導体領域 9 との導通信頼性を確保するために、W 膜などからなるプラグ 2 9 が埋め込まれている。

【 0 0 3 4 】 上記局所配線 L_i の上部には、酸化シリコンからなる第 2 層目の層間絶縁膜 2 1 を介して電源電圧線 2 2 および基準電圧線 2 3 が形成されている。電源電圧線 2 2 は、層間絶縁膜 2 1、1 7 および窒化シリコン膜 1 3 に開孔された接続孔 2 4 を通じて負荷用 M I S F E T Q p_i, Q p_j のそれぞれの p 型半導体領域 9 (ソース領域) に電氣的に接続され、これらの p 型半導体領域 9 に電源電圧 (V_{cc}) を供給する。また、基準電圧線

2 3 は、層間絶縁膜 2 1、1 7 および窒化シリコン膜 1 3 に開孔された接続孔 2 5 を通じて駆動用 M I S F E T Q d_i, Q d_j のそれぞれの n 型半導体領域 5 (ソース領域) に電氣的に接続され、これらの n 型半導体領域 5 に基準電圧 (V_{ss}) を供給する。電源電圧線 2 2 および基準電圧線 2 3 は、例えば上下に T i N のバリアメタル層を形成した A l 膜からなる。また、上記接続孔 2 4、2 5 の内部には、電源電圧線 2 2 と p 型半導体領域 9、基準電圧線 2 3 と n 型半導体領域 5 との導通信頼性を確保するために、W 膜などからなるプラグ 3 7 が埋め込まれている。

【 0 0 3 5 】 上記電源電圧線 2 2 および基準電圧線 2 3 の上部には、酸化シリコンからなる第 3 層目の層間絶縁膜 2 6 を介して一対の相補性データ線 (データ線 D L、データ線 / D L) が形成されている。相補性データ線的一方 (データ線 D L) は、層間絶縁膜 2 6、2 1、1 7 および窒化シリコン膜 1 3 に開孔された接続孔 2 7 を通じて転送用 M I S F E T Q t_i の n 型半導体領域 5 (ソース領域、ドレイン領域の他方) に電氣的に接続されている。また、相補性データ線の他方 (データ線 / D L) は、層間絶縁膜 2 6、2 1、1 7 および窒化シリコン膜 1 3 に開孔された接続孔 2 7 を通じて転送用 M I S F E T Q t_j の n 型半導体領域 5 (ソース領域、ドレイン領域の他方) に電氣的に接続されている。データ線 D L およびデータ線 / D L は、例えば上下に T i N のバリアメタル層を形成した A l 膜からなる。図示はしないが、上記接続孔 2 7、2 7 の内部には、データ線 (D L、/ D L) と n 型半導体領域 5 との導通信頼性を確保するために W 膜などからなるプラグが埋め込まれている。

【 0 0 3 6 】 このように、本実施の形態の S R A M は、メモリセルのフリップフロップ回路の入出力端子間を交差結合する一対の局所配線 L_i, L_j を異なる導電層に形成する。この構成により、一対の局所配線を同一の導電層に形成する場合には必要となる 2 本の局所配線を横に並べて配置するスペースが不要となり、局所配線 L_i, L_j と士を部分的に重なり合うように配置することが可能となるので、メモリセルの占有面積を縮小することができる。

【 0 0 3 7 】 次に、本実施の形態の S R A M のメモリセルの製造方法を図 6 ~ 図 3 2 を用いて説明する。なお、メモリセルの製造方法を示す各図のうち、断面図 (a) は平面図の A - A' 線に対応し、断面図 (b) は平面図の B - B' 線に対応している。また、各平面図には導電層と接続孔のみを示し、絶縁膜の図示は省略する。

【 0 0 3 8 】 まず、図 6 および図 7 に示すように、p 型単結晶シリコンからなる半導体基板 1 の主面の活性領域 A R の周囲 (素子分離領域) に溝 3 0 を形成する。この溝 3 0 は、半導体基板 1 上に酸化シリコン膜 3 1 と窒化シリコン膜 3 2 とを順次堆積した後、フォトリソト

をマスクにして窒化シリコン膜 3 2、酸化シリコン膜 3 1 および半導体基板 1 を順次ドライエッチングして形成する。

【0039】次に、図 8 に示すように、溝 3 0 の内部に酸化シリコン膜 3 6 を埋め込んで素子分離溝 2 を形成する。素子分離溝 2 は、溝 3 0 の内部を含む半導体基板 1 上に CVD (Chemical Vapor Deposition) 法で酸化シリコン膜 3 6 を厚く堆積した後、窒化シリコン膜 3 2 をエッチングストップに用い、酸化シリコン膜 3 6 をエッチバック（あるいは化学的機械研磨 (CMP)）により除去して形成する。

【0040】次に、活性領域 AR の表面に残った窒化シリコン膜 3 2 および酸化シリコン膜 3 1 をエッチングで除去した後、図 9 および図 1 0 に示すように、駆動用 MISFETQ_{d1}, Q_d、および転送用 MISFETQ_{t1}, Q_t、を形成する活性領域 AR の半導体基板 1 に p 型不純物（ホウ素）をイオン打ち込みして p 型ウエル 3 を形成し、負荷用 MISFETQ_{p1}, Q_p、を形成する活性領域 AR の半導体基板 1 に n 型不純物（リンまたはヒ素）をイオン打ち込みして n 型ウエル 4 を形成する。その後、p 型ウエル 3 および n 型ウエル 4 のそれぞれの表面を熱酸化してゲート酸化膜 6 を形成する。

【0041】次に、図 1 1 に示すように、半導体基板 1 上に CVD 法で n 型多結晶シリコン膜 3 3、W シリサイド膜 3 4 および酸化シリコン膜 1 2 を順次堆積した後、図 1 2 および図 1 3 に示すように、フォトリソをマスクにしたドライエッチングで酸化シリコン膜 1 2、W シリサイド膜 3 4 および n 型多結晶シリコン膜 3 3 をパターニングすることにより、転送用 MISFETQ_{t1}, Q_t、のゲート電極 7（ワード線 WL）および駆動用 MISFETQ_{d1}, Q_d、（負荷用 MISFETQ_{p1}, Q_p、）のゲート電極 8、8 を形成する。

【0042】次に、図 1 4 および図 1 5 に示すように、p 型ウエル 3 に n 型不純物（リンまたはヒ素）をイオン打ち込みして転送用 MISFETQ_{t1}, Q_t、および駆動用 MISFETQ_{d1}, Q_d、の n 型半導体領域 5、5（ソース領域、ドレイン領域）を形成し、n 型ウエル 4 に p 型不純物（ホウ素）をイオン打ち込みして負荷用 MISFETQ_{p1}, Q_p、の p 型半導体領域 9、9（ソース領域、ドレイン領域）を形成した後、半導体基板 1 上に CVD 法で堆積した酸化シリコン膜を異方性エッチングすることにより、転送用 MISFETQ_{t1}, Q_t、のゲート電極 7（ワード線 WL）および駆動用 MISFETQ_{d1}, Q_d、（負荷用 MISFETQ_{p1}, Q_p、）のゲート電極 8、8 のそれぞれの側壁にサイドウォールスペーサ 1 1 を形成する。

【0043】次に、駆動用 MISFETQ_{d1}, Q_d、および転送用 MISFETQ_{t1}, Q_t、のそれぞれの n 型半導体領域 5、5（ソース領域、ドレイン領域）の表面を覆うゲート酸化膜 6 と、負荷用 MISFETQ_{p1}, Q_p、

p、の p 型半導体領域 9、9（ソース領域、ドレイン領域）の表面を覆うゲート酸化膜 6 とをエッチングで除去した後、図 1 6 に示すように、半導体基板 1 上にスパッタリング法で Ti 膜 3 5 を堆積する。

【0044】次に、半導体基板 1 をアニール（熱処理）して Ti 膜 3 5 と半導体基板 1（n 型半導体領域 5、p 型半導体領域 9）とを反応させた後、未反応の Ti 膜 3 5 をエッチングで除去することにより、図 1 7 および図 1 8 に示すように、n 型半導体領域 5 および p 型半導体領域 9 の表面に Ti シリサイド層 1 0 を形成する。その後、必要に応じて半導体基板 1 をアニールし、Ti シリサイド層 1 0 を低抵抗化する。また、Ti シリサイド層 1 0 を形成する代わりに、半導体基板 1 上にスパッタリング法で Co（コバルト）膜を堆積し、半導体基板 1（n 型半導体領域 5、p 型半導体領域 9）と Co 膜とを反応させて Co シリサイド層を形成してもよい。

【0045】次に、図 1 9 および図 2 0 に示すように、半導体基板 1 上に CVD 法で膜厚 3 0 nm 程度の薄い窒化シリコン膜 1 3 を堆積した後、フォトリソをマスクにしたドライエッチングで駆動用 MISFETQ_d、（負荷用 MISFETQ_p、）のゲート電極 8 の上部の窒化シリコン膜 1 3 および酸化シリコン膜 1 2 を開孔して接続孔 1 4 を形成する。同時に、駆動用 MISFETQ_{d1} の n 型半導体領域 5（ドレイン領域）の上部の窒化シリコン膜 1 3 をエッチングで除去して接続孔 1 5 を形成し、負荷用 MISFETQ_{p1} の p 型半導体領域 9（ドレイン領域）の上部の窒化シリコン膜 1 3 をエッチングで除去して接続孔 1 6 を形成する。

【0046】次に、図 2 1 および図 2 2 に示すように、窒化シリコン膜 1 3 の上部に局所配線 L₁ を形成する。局所配線 L₁ は、半導体基板 1 上にスパッタリング法または CVD 法で堆積した膜厚 1 0 0 nm 程度の TiN 膜を、フォトリソをマスクにしたドライエッチングでパターニングして形成する。局所配線 L₁ は、接続孔 1 4 を通じて負荷用 MISFETQ_p、および駆動用 MISFETQ_d、に共通のゲート電極 8 と接続され、接続孔 1 5 を通じて駆動用 MISFETQ_{d1} の n 型半導体領域 5（ドレイン領域）と接続され、接続孔 1 6 を通じて負荷用 MISFETQ_{p1} の p 型半導体領域 9（ドレイン領域）に接続される。

【0047】次に、図 2 3 および図 2 4 に示すように、局所配線 L₁ の上部に CVD 法で PSG からなる層間絶縁膜 1 7 を堆積した後、フォトリソをマスクにしたドライエッチングで駆動用 MISFETQ_d、（負荷用 MISFETQ_p、）のゲート電極 8 の上部の層間絶縁膜 1 7、窒化シリコン膜 1 3 および酸化シリコン膜 1 2 を開孔して接続孔 1 8 を形成する。同時に、駆動用 MISFETQ_{d1} の n 型半導体領域 5（ドレイン領域）の上部の層間絶縁膜 1 7 および窒化シリコン膜 1 3 をエッチングで除去して接続孔 1 9 を形成し、負荷用 MISF

ETQP: のp型半導体領域9 (ドレイン領域) の上部の層間絶縁膜17および窒化シリコン膜13をエッチングで除去して接続孔20を形成する。

【0048】次に、図25および図26に示すように、接続孔18、19、20の内部にW膜を埋め込んでプラグ29を形成した後、層間絶縁膜17の上部に局所配線L_iを形成する。W膜の埋込みは、層間絶縁膜17上にスパッタリング法で堆積したW膜をエッチバックして行う。また、局所配線L_iは、層間絶縁膜17上にスパッタリング法でTiN膜、Al膜、TiN膜を順次堆積した後、フォトリソistをマスクにしたドライエッチングでこれらの膜をパターニングして形成する。局所配線L_iは、接続孔18を通じて負荷用MISFETQ_p、および駆動用MISFETQ_dに共通のゲート電極8と接続され、接続孔19を通じて駆動用MISFETQ_dのn型半導体領域5 (ドレイン領域) と接続され、接続孔20を通じて負荷用MISFETQ_pのp型半導体領域9 (ドレイン領域) に接続される。

【0049】次に、図27、図28および図29に示すように、局所配線L_iの上部にCVD法で酸化シリコンからなる層間絶縁膜21を堆積した後、フォトリソistをマスクにしたドライエッチングで負荷用MISFETQ_p、Q_pのそれぞれのp型半導体領域9、9 (ソース領域) の上部の層間絶縁膜21、17および窒化シリコン膜13を開孔して接続孔24、24を形成する。同時に、駆動用MISFETQ_d、Q_dのそれぞれのn型半導体領域5、5 (ソース領域) の上部の層間絶縁膜21、17および窒化シリコン膜13を開孔して接続孔25、25を形成する。

【0050】次に、接続孔24、25の内部にW膜を埋め込んでプラグ37を形成した後、図30、図31および図32に示すように、層間絶縁膜21の上部に電源電圧線22および基準電圧線23を形成する。電源電圧線22および基準電圧線23は、層間絶縁膜21上にスパッタリング法でTiN膜、Al膜、TiN膜を順次堆積した後、フォトリソistをマスクにしたドライエッチングでこれらの膜をパターニングして形成する。電源電圧線22は、上記接続孔24、24を通じて負荷用MISFETQ_p、Q_pのそれぞれのp型半導体領域9、9 (ソース領域) に接続され、基準電圧線23は、上記接続孔25、25を通じて駆動用MISFETQ_d、Q_dのそれぞれのn型半導体領域5、5 (ソース領域) に接続される。

【0051】その後、電源電圧線22および基準電圧線23の上部にCVD法で酸化シリコンからなる層間絶縁膜26を堆積した後、フォトリソistをマスクにしたドライエッチングで転送用MISFETQ_t、Q_tのそれぞれのn型半導体領域5、5 (ドレイン領域) の上部の層間絶縁膜26、21、17および窒化シリコン膜13を開孔して接続孔27、27を形成し、続いて接続孔

27、27の内部にW膜を埋め込んでプラグを形成した後、層間絶縁膜26の上部にデータ線DL、/DLを形成する。データ線DL、/DLは、層間絶縁膜26上にスパッタリング法でTiN膜、Al膜、TiN膜を順次堆積した後、フォトリソistをマスクにしたドライエッチングでこれらの膜をパターニングして形成する。データ線DLは、接続孔27、27の一方を通じて転送用MISFETQ_tのn型半導体領域5 (ドレイン領域) に接続され、データ線/DLは、接続孔27、27の他方を通じて転送用MISFETQ_tのn型半導体領域5 (ドレイン領域) に接続される。以上の工程により、前記図1～図4に示すメモリセルが完成する。

【0052】(実施の形態2) 図33は、本実施の形態のSRAMのメモリセルを示す平面図、図34は、図33のA-A'線に沿った断面図、図35は、図33のB-B'線に沿った断面図、図36は、本実施の形態のSRAMのメモリセルの等価回路図である。

【0053】図示のように、本実施の形態のSRAMは、前記実施の形態1のSRAMと同様に、メモリセルのフリップフロップ回路の入出力端子間を交差結合する一対の局所配線L_i、L_jを異なる導電層に形成している。また、本実施の形態のSRAMは、上層の局所配線L_iと下層の局所配線L_jとを広い面積で重なり合うように配置し、局所配線L_i、L_jとそれらの間に介在する薄い絶縁膜 (窒化シリコン膜42) とで容量素子Cを構成している。すなわち、上層の局所配線L_iは容量素子Cの一方の電極を構成し、下層の局所配線L_jは他方の電極を構成し、絶縁膜 (窒化シリコン膜42) は誘電体膜を構成している。

【0054】本実施の形態のSRAMのメモリセルの製造方法を図37～図48を用いて説明する。なお、メモリセルの製造方法を示す各図のうち、断面図(a)は平面図のA-A'線に対応し、断面図(b)は平面図のB-B'線に対応している。また、各平面図には導電層と接続孔のみを示し、絶縁膜の図示は省略する。

【0055】まず、前記実施の形態1の図6～図18に示す製造方法に従い、半導体基板1の主面に素子分離溝2、p型ウエル3、n型ウエル4およびゲート酸化膜6を形成した後、p型ウエル3に駆動用MISFETQ_d、Q_dおよび転送用MISFETQ_t、Q_tを形成し、n型ウエル4に負荷用MISFETQ_p、Q_pを形成する。また、転送用MISFETQ_t、Q_tおよび駆動用MISFETQ_d、Q_dのn型半導体領域5、5 (ソース領域、ドレイン領域) の表面と、負荷用MISFETQ_p、Q_pのp型半導体領域9、9 (ソース領域、ドレイン領域) の表面にシート抵抗を低減する目的でTiシリサイド層10を形成する。

【0056】次に、図37および図38に示すように、半導体基板1上にCVD法で膜厚50nm程度の薄い窒化シリコン膜13を堆積した後、フォトリソistをマスク

にしたドライエッチングで駆動用MISFETQ_d、(負荷用MISFETQ_p)のゲート電極8の上部の窒化シリコン膜13および酸化シリコン膜12を開孔して接続孔14を形成する。同時に、駆動用MISFETQ_dのn型半導体領域5(ドレイン領域)の上部の窒化シリコン膜13をエッチングで除去して接続孔40を形成し、負荷用MISFETQ_pのp型半導体領域9(ドレイン領域)の上部の窒化シリコン膜13をエッチングで除去して接続孔41を形成する。

【0057】次に、図39および図40に示すように、窒化シリコン膜13の上部に局所配線L₁を形成する。局所配線L₁は、窒化シリコン膜13上にスパッタリング法またはCVD法で堆積した膜厚100nm程度のTiN膜を、フォトリソをマスクにしたドライエッチングでパターンニングして形成する。この局所配線L₁は、メモリセルを構成する6個のMISFETを覆うように広い面積で形成する。すなわち、局所配線L₁は、駆動用MISFETQ_d、(負荷用MISFETQ_p)のゲート電極8、駆動用MISFETQ_d、(負荷用MISFETQ_p)のゲート電極8、転送用MISFETQ_{t1}、Q_tのゲート電極7(ワード線WL)、転送用MISFETQ_{t1}、Q_tと駆動用MISFETQ_d、Q_dに共通のn型半導体領域5(ソース領域、ドレイン領域の一方)および負荷用MISFETQ_p、Q_pのp型半導体領域9(ドレイン領域)のそれぞれの上部に配置され、これらを覆うように形成される。

【0058】局所配線L₁は、接続孔14を通じて駆動用MISFETQ_d、(負荷用MISFETQ_p)のゲート電極8と接続され、接続孔40を通じて駆動用MISFETQ_dのn型半導体領域5(ドレイン領域)と接続され、接続孔41を通じて負荷用MISFETQ_pのp型半導体領域9(ドレイン領域)と接続される。

【0059】次に、図41および図42に示すように、局所配線L₁の上部にCVD法で膜厚30nm程度の窒化シリコン膜42を堆積した後、フォトリソをマスクにしたドライエッチングで駆動用MISFETQ_d、(負荷用MISFETQ_p)のゲート電極8の上部の窒化シリコン膜17、13および酸化シリコン膜12を開孔して接続孔18を形成する。同時に、駆動用MISFETQ_dのn型半導体領域5(ドレイン領域)の上部の窒化シリコン膜17、13をエッチングで除去して接続孔19を形成し、負荷用MISFETQ_pのp型半導体領域9(ドレイン領域)の上部の窒化シリコン膜17、13をエッチングで除去して接続孔20を形成する。

【0060】次に、図43および図44に示すように、窒化シリコン膜42の上部に局所配線L₂を形成する。局所配線L₂は、スパッタリング法またはCVD法で堆積した膜厚100nm程度のTiN膜を、フォトリソ

をマスクにしたドライエッチングでパターンニングして形成する。局所配線L₂はTiNの他、Wなどの高融点金属や、Wシリサイドなどの高融点金属シリサイドで構成することもできる。局所配線L₂は、接続孔18を通じて駆動用MISFETQ_d、(負荷用MISFETQ_p)のゲート電極8と接続され、接続孔19を通じて駆動用MISFETQ_dのn型半導体領域5(ドレイン領域)と接続され、接続孔20を通じて負荷用MISFETQ_pのp型半導体領域9(ドレイン領域)と接続される。

【0061】局所配線L₂は、下層の局所配線L₁の上部において、メモリセルを構成する6個のMISFETを覆うように広い面積で形成し、接続孔18、19、20の開孔領域とその合わせ余裕領域とを除いた領域において局所配線L₂とはほぼ完全に重なるようにする。これにより、局所配線L₁、L₂(電極)とそれらの間に介在する、局所配線L₁、L₂よりも薄い膜厚の窒化シリコン膜42(誘電体膜)とで容量素子Cを形成し、しかもこの容量素子Cの電荷を大きくすることができるので、蓄積ノードの電荷蓄積量を増やしてメモリセルのα線ソフトエラー耐性を向上させることができる。また、局所配線L₁、L₂の間に介在する薄い絶縁膜を五酸化タンタル(Ta₂O₅)などの高誘電体材料で構成することにより、蓄積ノードの電荷蓄積量をさらに増やすこともできる。

【0062】次に、図45および図46に示すように、局所配線L₂の上部にCVD法で酸化シリコンからなる層間絶縁膜21を堆積した後、フォトリソをマスクにしたドライエッチングで負荷用MISFETQ_p、Q_pのそれぞれのp型半導体領域9、9(ソース領域)の上部の層間絶縁膜21および窒化シリコン膜17、13を開孔して接続孔24、24を形成する。同時に、駆動用MISFETQ_d、Q_dのそれぞれのn型半導体領域5、5(ソース領域)の上部の層間絶縁膜21および窒化シリコン膜17、13を開孔して接続孔25、25を形成する。

【0063】次に、図47および図48に示すように、接続孔24、25の内部にW膜を埋め込んでプラグ29を形成した後、層間絶縁膜21の上部に電源電圧線22および基準電圧線23を形成する。電源電圧線22および基準電圧線23は、層間絶縁膜21上にスパッタリング法でTiN膜、Al膜、TiN膜を順次堆積した後、これらをパターンニングして形成する。

【0064】その後、電源電圧線22および基準電圧線23の上部にCVD法で酸化シリコンからなる層間絶縁膜26を堆積した後、フォトリソをマスクにしたドライエッチングで転送用MISFETQ_{t1}、Q_tのそれぞれのn型半導体領域5、5(ドレイン領域)の上部の層間絶縁膜26、21および窒化シリコン膜17、13を開孔して接続孔27、27を形成し、続いて接続孔

10

20

30

40

50

27、27の内部にW膜を埋め込んでプラグを形成した後、層間絶縁膜26の上部にデータ線DL、/DLを形成する。データ線DL、/DLは、層間絶縁膜26上にスパッタリング法でTiN膜、Al膜、TiN膜を順次堆積した後、これらをパターニングして形成する。以上の工程により、前記図33～図35に示すメモリセルが完成する。

【0065】（実施の形態3）本実施の形態のSRAMは、メモリセルのフリップフロップ回路の入出力端子間を交差結合する一対の局所配線L₁、L₂を同一の導電層に形成している。このSRAMのメモリセルの製造方法を図49～図63を用いて説明する。なお、メモリセルの製造方法を示す各図のうち、断面図は平面図のC-C'線に対応している。また、各平面図には導電層と接続孔のみを示し、絶縁膜の図示は省略する。

【0066】まず、図49および図50に示すように、半導体基板1の主面にp型ウエル3およびn型ウエル4を形成し、次いでそれらの表面に素子分離用のフィールド酸化膜28およびMISFETのゲート酸化膜6を形成した後、p型ウエル3に駆動用MISFETQ_{d1}、Q_{d2}、および転送用MISFETQ_{t1}、Q_{t2}を形成し、n型ウエル4に負荷用MISFETQ_{p1}、Q_{p2}を形成する。転送用MISFETQ_{t1}、Q_{t2}のゲート電極7（ワード線WL）および駆動用MISFETQ_{d1}、Q_{d2}（負荷用MISFETQ_{p1}、Q_{p2}）のゲート電極8、8は、膜厚300nm程度の多結晶シリコン膜で構成する。ゲート電極7（ワード線WL）およびゲート電極8のそれぞれの側壁のサイドウォールスペーサ11は、酸化シリコン膜をエッチングして形成する。

【0067】次に、図51および図52に示すように、転送用MISFETQ_{t1}、Q_{t2}のゲート電極7（ワード線WL）、駆動用MISFETQ_{d1}、Q_{d2}（負荷用MISFETQ_{p1}、Q_{p2}）のゲート電極8、8、転送用MISFETQ_{t1}、Q_{t2}および駆動用MISFETQ_{d1}、Q_{d2}のそれぞれのn型半導体領域5、5（ソース領域、ドレイン領域）、負荷用MISFETQ_{p1}、Q_{p2}のそれぞれのp型半導体領域9、9（ソース領域、ドレイン領域）のそれぞれの表面にシート抵抗を低減する目的でTiシリサイド層10を形成する。

【0068】Tiシリサイド層10を形成するには、ゲート電極7（ワード線WL）およびゲート電極8のそれぞれの表面を覆う酸化シリコン膜12と、駆動用MISFETQ_{d1}、Q_{d2}および転送用MISFETQ_{t1}、Q_{t2}のそれぞれのn型半導体領域5、5（ソース領域、ドレイン領域）の表面を覆うゲート酸化膜6と、負荷用MISFETQ_{p1}、Q_{p2}のそれぞれのp型半導体領域9、9（ソース領域、ドレイン領域）の表面を覆うゲート酸化膜6とをエッチングで除去した後、半導体基板1上にスパッタリング法でTi膜を堆積し、次いで半導体基板1をアニールしてTi膜と半導体基板1（n型半導

体領域5、p型半導体領域9）、Ti膜と多結晶シリコン膜（ゲート電極7、8）をそれぞれ反応させた後、未反応のTi膜をエッチングで除去する。

【0069】次に、図53および図54に示すように、半導体基板1上にCVD法で膜厚30nm程度の薄い窒化シリコン膜13を堆積した後、フォトリソistをマスクにして窒化シリコン膜13をドライエッチングすることにより、駆動用MISFETQ_{d1}のn型半導体領域5（ドレイン領域）と駆動用MISFETQ_{d1}（負荷用MISFETQ_{p1}）のゲート電極8とにまたがる接続孔43、負荷用MISFETQ_{p1}のp型半導体領域9（ドレイン領域）と駆動用MISFETQ_{d1}（負荷用MISFETQ_{p1}）のゲート電極8とにまたがる接続孔44をそれぞれ形成する。同時に、駆動用MISFETQ_{d1}のn型半導体領域5（ドレイン領域）の上部に接続孔45を形成し、負荷用MISFETQ_{p1}のp型半導体領域9（ドレイン領域）の上部に接続孔46を形成する。このとき、フィールド酸化膜28の表面は窒化シリコン膜13で覆われているので、このドライエッチングでフィールド酸化膜28が割れることはない。

【0070】次に、図55および図56に示すように、窒化シリコン膜13の上部にTiN膜からなる一対の局所配線L₁、L₂を形成する。局所配線L₁、L₂を形成するには、窒化シリコン膜13上にスパッタリング法またはCVD法で膜厚50～100nm程度のTiN膜を堆積し、次いでこのTiN膜上にCVD法で膜厚100nm程度の窒化シリコン膜47を堆積した後、フォトリソistをマスクにしたドライエッチングで窒化シリコン膜47およびTiN膜をパターニングする。局所配線L₁、L₂はTiNの他、Wなどの高融点金属や、Wシリサイドなどの高融点金属シリサイドで構成することもできる。

【0071】局所配線L₁は、駆動用MISFETQ_{d1}（負荷用MISFETQ_{p1}）のゲート電極8と、転送用MISFETQ_{t1}、Q_{t2}のゲート電極7（ワード線WL）とに重なるように配置し、局所配線L₂は、駆動用MISFETQ_{d1}（負荷用MISFETQ_{p1}）のゲート電極8と、転送用MISFETQ_{t1}、Q_{t2}のゲート電極7（ワード線WL）とに重なるように配置する。この構成により、局所配線L₁とゲート電極8との間に介在する薄い窒化シリコン膜13とで容量素子C'が形成され、また局所配線L₂とゲート電極8との間に介在する窒化シリコン膜13とで容量素子C'が形成されるので、蓄積ノードの電荷蓄積容量を増やしてメモリセルのα線ソフトエラー耐性を向上させることができる。これらの容量素子C'は、前記実施の形態2（図36）の容量素子Cと実効的に等しい働きをする。

【0072】局所配線L₁は、接続孔43を通じて駆動用MISFETQ_{d1}のn型半導体領域5（ドレイン領域）と駆動用MISFETQ_{d1}（負荷用MISFETQ_{p1}）のゲート電極8とに接続され、接続孔46を通

じて負荷用MISFETQ_{p1}のp型半導体領域9（ドレイン領域）に接続される。つまり、駆動用MISFETQ_{d1}（負荷用MISFETQ_{p1}）のゲート電極8と、駆動用MISFETQ_{d1}のn型半導体領域5（ドレイン領域）と、負荷用MISFETQ_{p1}のp型半導体領域9（ドレイン領域）とは局所配線L₁を介して互いに接続される。

【0073】局所配線L₁は、接続孔44を通じて負荷用MISFETQ_{p1}のp型半導体領域9（ドレイン領域）と駆動用MISFETQ_{d1}（負荷用MISFETQ_{p1}）のゲート電極8とに接続され、接続孔45を通じて駆動用MISFETQ_{d1}のn型半導体領域5（ドレイン領域）に接続される。つまり、駆動用MISFETQ_{d1}（負荷用MISFETQ_{p1}）のゲート電極8と、駆動用MISFETQ_{d1}のn型半導体領域5（ドレイン領域）と、負荷用MISFETQ_{p1}のp型半導体領域9（ドレイン領域）とは局所配線L₁を介して互いに接続される。

【0074】次に、図57に示すように、窒化シリコン膜47の上部にCVD法で膜厚200nm程度の窒化シリコン膜53を堆積した後、図58に示すように、この窒化シリコン膜53をRIE(Reactive Ion Etching)などの異方性エッチングで加工することにより、ゲート電極7（ワード線WL）、ゲート電極8および局所配線L₁、L₂のそれぞれの側壁にサイドウォールスペーサ48を形成する。

【0075】次に、図59および図60に示すように、窒化シリコン膜47およびサイドウォールスペーサ48の上部に、窒化シリコン膜47、53（サイドウォールスペーサ48）とはエッチング速度が異なる、例えばPSGのような酸化シリコン系の層間絶縁膜49をCVD法で堆積した後、フォトリソをマスクにしたドライエッチングで負荷用MISFETQ_{p1}、Q_{p2}のそれぞれのp型半導体領域9、9（ソース領域）の上部の層間絶縁膜49を開孔して接続孔50、50を形成する。同時に、駆動用MISFETQ_{d1}、Q_{d2}のそれぞれのn型半導体領域5、5（ソース領域）の上部の層間絶縁膜49を開孔して接続孔51、51を形成し、転送用MISFETQ_{t1}、Q_{t2}のそれぞれのn型半導体領域5、5（ソース領域、ドレイン領域の他方）の上部の層間絶縁膜49を開孔して接続孔52、52を形成する。

【0076】PSGからなる層間絶縁膜49をエッチングして接続孔50、51、52を形成する上記の工程では、局所配線L₁、L₂の上部に形成された窒化シリコン膜47や、ゲート電極7（ワード線WL）、ゲート電極8および局所配線L₁、L₂のそれぞれの側壁に形成された窒化シリコンからなるサイドウォールスペーサ48は、層間絶縁膜49とはエッチング速度が異なるので、ほとんどエッチングされない。

【0077】そのため、層間絶縁膜49をエッチングし

て接続孔50、51、52を形成する際に用いるフォトリソマスクと、TiN膜をエッチングして局所配線L₁、L₂を形成する際に用いたフォトリソマスクの合わせずれに起因して接続孔50、51、52と局所配線L₁、L₂との間に位置ずれが生じ、その結果、接続孔50、51、52のいずれかと局所配線L₁または局所配線L₂とが一部で重なり合った場合でも、層間絶縁膜49をエッチングした際に局所配線L₁または局所配線L₂が接続孔50、51、52のいずれかの側壁に露出することがないので、後の工程で接続孔50、51、52の内部に堆積される導電膜と局所配線L₁または局所配線L₂とが短絡するようなことはない。

【0078】また、層間絶縁膜49をエッチングして接続孔50、51、52を形成する際に用いるフォトリソマスクと、多結晶シリコン膜をエッチングしてゲート電極7（ワード線WL）およびゲート電極8を形成する際に用いたフォトリソマスクの合わせずれに起因して接続孔50、51、52とゲート電極7（ワード線WL）およびゲート電極8との間に位置ずれが生じ、その結果、接続孔50、51、52のいずれかとゲート電極7（ワード線WL）またはゲート電極8とが一部で重なり合った場合でも、層間絶縁膜49をエッチングした際にゲート電極8が接続孔50または接続孔51の側壁に露出したり、ゲート電極7（ワード線WL）が接続孔52の側壁に露出したりすることがないため、後の工程で接続孔50、51、52の内部に堆積される導電膜とゲート電極7（ワード線WL）あるいはゲート電極8とが短絡するようなことはない。

【0079】つまり、本実施の形態の製造方法によれば、接続孔50、51、52をレイアウトする際に接続孔50、51、52と局所配線L₁、L₂との合わせ余裕、および接続孔50、51、52とゲート電極7（ワード線WL）、ゲート電極8との合わせ余裕を考慮する必要がない。これにより、これらの合わせ余裕に相当する分、接続孔50、51、52を局所配線L₁、L₂、ゲート電極7（ワード線WL）およびゲート電極8に近接させてレイアウトすることができるので、第1方向およびこれと直交する第2方向のいずれの方向においてもメモリセルの占有面積を縮小することができる。

【0080】層間絶縁膜49をエッチングする際にサイドウォールスペーサ48をエッチングストップとして機能させるためには、サイドウォールスペーサ48を構成する窒化シリコン膜53の膜厚を、上記したフォトリソマスクの合わせ余裕よりも大きくする必要がある。例えば接続孔50、51、52と局所配線L₁、L₂との合わせ余裕と、接続孔50、51、52とゲート電極7（ワード線WL）、ゲート電極8との合わせ余裕の合計が200nm程度であれば、窒化シリコン膜53の膜厚を少なくとも200nm程度とする。

【0081】次に、接続孔50、51、52の底部の薄

い窒化シリコン膜 1 3 をエッチングで除去した後、図 6 1 および図 6 2 に示すように、層間絶縁膜 4 9 の上部に電源電圧線 2 2、基準電圧線 2 3 および中間配線 5 4 を形成する。電源電圧線 2 2、基準電圧線 2 3 および中間配線 5 4 は、層間絶縁膜 4 9 上にスパッタリング法で W 膜、A l 膜、W 膜を順次堆積した後、これらの膜をパターンニングして形成する。接続孔 5 0、5 1、5 2 の内部には、必要に応じて W 膜などからなるプラグを形成してもよい。

【0082】次に、図 6 3 および図 6 4 に示すように、電源電圧線 2 2、基準電圧線 2 3 および中間配線 5 4 の上部に CVD 法で酸化シリコンからなる層間絶縁膜 2 6 を堆積し、フォトリソistをマスクにしたドライエッチングで中間配線 5 4 の上部の層間絶縁膜 2 6 を開孔して接続孔 5 5 を形成した後、層間絶縁膜 2 6 の上部にデータ線 D L、/D L を形成する。データ線 D L、/D L は、層間絶縁膜 2 6 上にスパッタリング法で T i N 膜、A l 膜、T i N 膜を順次堆積した後、これらをパターンニングして形成する。

【0083】（実施の形態 4）本実施の形態の S R A M は、前記実施の形態 3 の S R A M と同様、一对の局所配線 L₁、L₂ を同一の導電層に形成している。この S R A M のメモリセルの製造方法を図 6 5 ～図 8 2 を用いて説明する。

【0084】まず、図 6 5 および図 6 6 に示すように、半導体基板 1 の主面に p 型ウエル 3 および n 型ウエル 4 を形成し、次いでそれらの表面に素子分離用のフィールド酸化膜 2 8 および M I S F E T のゲート酸化膜 6 を形成した後、p 型ウエル 3 に駆動用 M I S F E T Q d₁、Q d₂ および転送用 M I S F E T Q t₁、Q t₂ を形成し、n 型ウエル 4 に負荷用 M I S F E T Q p₁、Q p₂ を形成する。転送用 M I S F E T Q t₁、Q t₂ のゲート電極 7（ワード線 W L）および駆動用 M I S F E T Q d₁、Q d₂（負荷用 M I S F E T Q p₁、Q p₂）のゲート電極 8、8 は、多結晶シリコン膜で構成する。ゲート電極 7（ワード線 W L）およびゲート電極 8 のそれぞれの上部を覆う絶縁膜（キャップ絶縁膜）は窒化シリコン膜 5 6 で構成する。この窒化シリコン膜 5 6 は、後述する窒化シリコン膜 1 3 よりも厚い膜厚（30 nm 程度以上）で堆積する。ゲート電極 7（ワード線 W L）およびゲート電極 8 のそれぞれの側壁のサイドウォールスペース 1 1 は、酸化シリコン膜を異方性エッチングして形成する。

【0085】次に、図 6 7 および図 6 8 に示すように、駆動用 M I S F E T Q d₁（負荷用 M I S F E T Q p₁）のゲート電極 8 の上部の窒化シリコン膜 5 6 をエッチングして接続孔 5 7 を形成し、駆動用 M I S F E T Q d₂（負荷用 M I S F E T Q p₂）のゲート電極 8 の上部の窒化シリコン膜 5 6 をエッチングして接続孔 5 8 を形成する。接続孔 5 7 は、後の工程で局所配線 L₁ と接続される領域に形成し、接続孔 5 8 は、後の工程で局

所配線 L₂ と接続される領域に形成する。

【0086】次に、図 6 9 および図 7 0 に示すように、接続孔 5 7 の底部に露出した駆動用 M I S F E T Q d₁（負荷用 M I S F E T Q p₁）のゲート電極 8、接続孔 5 8 の底部に露出した駆動用 M I S F E T Q d₂（負荷用 M I S F E T Q p₂）のゲート電極 8、転送用 M I S F E T Q t₁、Q t₂ の n 型半導体領域 5、5（ソース領域、ドレイン領域）、駆動用 M I S F E T Q d₁、Q d₂ の n 型半導体領域 5、5（ソース領域、ドレイン領域）、負荷用 M I S F E T Q p₁、Q p₂ の p 型半導体領域 9、9（ソース領域、ドレイン領域）のそれぞれの表面に T i シリサイド層 1 0 を形成する。

【0087】T i シリサイド層 1 0 を形成するには、駆動用 M I S F E T Q d₁、Q d₂ および転送用 M I S F E T Q t₁、Q t₂ のそれぞれの n 型半導体領域 5、5（ソース領域、ドレイン領域）の表面を覆うゲート酸化膜 6 と、負荷用 M I S F E T Q p₁、Q p₂ のそれぞれの p 型半導体領域 9、9（ソース領域、ドレイン領域）の表面を覆うゲート酸化膜 6 とをエッチングで除去した後、半導体基板 1 上にスパッタリング法で T i 膜を堆積し、次いで半導体基板 1 をアニールして T i 膜と半導体基板 1（n 型半導体領域 5、p 型半導体領域 9）、T i 膜と多結晶シリコン膜（接続孔 5 7、5 8 の底部に露出したゲート電極 8）とをそれぞれ反応させた後、未反応の T i 膜をエッチングで除去する。

【0088】次に、図 7 1 および図 7 2 に示すように、半導体基板 1 上に CVD 法で膜厚 30 nm 程度の薄い窒化シリコン膜 1 3 を堆積した後、フォトリソistをマスクにして窒化シリコン膜 1 3 をドライエッチングすることにより、駆動用 M I S F E T Q d₁ の n 型半導体領域 5（ドレイン領域）と駆動用 M I S F E T Q d₂（負荷用 M I S F E T Q p₁）のゲート電極 8 とにまたがる接続孔 4 3、負荷用 M I S F E T Q p₂ の p 型半導体領域 9（ドレイン領域）と駆動用 M I S F E T Q d₁（負荷用 M I S F E T Q p₁）のゲート電極 8 とにまたがる接続孔 4 4 をそれぞれ形成する。同時に、駆動用 M I S F E T Q d₂ の n 型半導体領域 5（ドレイン領域）の上部に接続孔 4 5 を形成し、負荷用 M I S F E T Q p₂ の p 型半導体領域 9（ドレイン領域）の上部に接続孔 4 6 を形成する。

【0089】駆動用 M I S F E T Q d₁（負荷用 M I S F E T Q p₁）のゲート電極 8 の上部にはあらかじめ接続孔 5 8 が形成されているので、接続孔 4 3 は、その一部がゲート電極 8 の上部で接続孔 5 8 と重なり合う。同様に、駆動用 M I S F E T Q d₂（負荷用 M I S F E T Q p₂）のゲート電極 8 の上部にはあらかじめ接続孔 5 7 が形成されているので、接続孔 4 4 は、その一部がゲート電極 8 の上部で接続孔 5 7 と重なり合う。

【0090】つまり、本実施の形態の製造方法によれば、接続孔 4 3、4 4、4 5、4 6 をレイアウトする際

に、これらの接続孔 4 3 ~ 4 6 とゲート電極 8 との合わせ余裕および接続孔 4 3 ~ 4 6 と接続孔 5 7、5 8 との合わせ余裕を考慮する必要がない。これにより、これらの合わせ余裕に相当する分、接続孔 4 3 ~ 4 6 をゲート電極 8 に接近させてレイアウトすることができるので、第 1 方向におけるメモリセルの占有面積を縮小することができる。

【0091】すなわち、窒化シリコン膜 1 3 をエッチングして接続孔 4 3、4 4、4 5、4 6 を形成する際に、これらの接続孔 4 3 ~ 4 6 がゲート電極 8 と重なり合った場合でも、ゲート電極 8 の上部に窒化シリコン膜 1 3 よりも厚い膜厚の窒化シリコン膜 5 6 が形成されているので、接続孔 4 3、4 4、4 5、4 6 がゲート電極 8 に達することはない。また、窒化シリコン膜と酸化シリコン膜とではエッチング速度に大きな差があるので、窒化シリコン膜 1 3 をエッチングして接続孔 4 3、4 4、4 5、4 6 を形成する際に、ゲート電極 7 (ワード線 W L) およびゲート電極 8 のそれぞれの側壁の酸化シリコン膜からなるサイドウォールスペーサ 1 1 は、ほとんどエッチングされない。

【0092】従って、接続孔 4 3、4 4、4 5、4 6 を形成する際に、これらの接続孔 4 3 ~ 4 6 がゲート電極 8 と重なり合った場合でも、後の工程で接続孔 4 3 ~ 4 6 の内部に堆積される導電膜とゲート電極 8 とが短絡するようなことはない。

【0093】次に、図 7 3 および図 7 4 に示すように、窒化シリコン膜 1 3 上にスパッタリング法または C V D 法で膜厚 1 0 0 n m 程度の T i N 膜を堆積し、次いでこの T i N 膜上に C V D 法で膜厚 1 0 0 n m 程度の窒化シリコン膜 4 7 を堆積した後、フォトリソistをマスクにしたドライエッチングで窒化シリコン膜 4 7 および T i N 膜をパターニングすることにより、T i N 膜からなる一対の局所配線 L₁、L₂ を形成する。

【0094】局所配線 L₁ は、接続孔 4 3 および接続孔 5 8 を通じて駆動用 M I S F E T Q d₁ (負荷用 M I S F E T Q p₁) のゲート電極 8 に接続され、接続孔 4 3 を通じて駆動用 M I S F E T Q d₁ の n 型半導体領域 5 (ドレイン領域) に接続され、接続孔 4 6 を通じて負荷用 M I S F E T Q p₁ の p 型半導体領域 9 (ドレイン領域) に接続される。また、局所配線 L₂ は、接続孔 4 4 および接続孔 5 7 を通じて駆動用 M I S F E T Q d₂ (負荷用 M I S F E T Q p₂) のゲート電極 8 に接続され、接続孔 4 4 を通じて負荷用 M I S F E T Q p₂ の p 型半導体領域 9 (ドレイン領域) に接続され、接続孔 4 5 を通じて駆動用 M I S F E T Q d₂ の n 型半導体領域 5 (ドレイン領域) に接続される。

【0095】局所配線 L₃ は、駆動用 M I S F E T Q d₃ (負荷用 M I S F E T Q p₃) のゲート電極 8 と、転送用 M I S F E T Q t₁、Q t₂ のゲート電極 7 (ワード線 W L) とに重なるように配置し、局所配線 L₃ は、駆

動用 M I S F E T Q d₃ (負荷用 M I S F E T Q p₃) のゲート電極 8 と、転送用 M I S F E T Q t₁、Q t₂ のゲート電極 7 (ワード線 W L) とに重なるように配置する。この構成により、局所配線 L₁ とゲート電極 8 とその間に介在する窒化シリコン膜 1 3 とで容量素子 C' が形成され、また局所配線 L₂ とゲート電極 8 とその間に介在する窒化シリコン膜 1 3 とで容量素子 C' が形成されるので、蓄積ノードの電荷蓄積量を増やしてメモリセルの α 線ソフトエラー耐性を向上させることができる。

【0096】次に、図 7 5 に示すように、局所配線 L₁、L₂ を覆う窒化シリコン膜 4 7 の上部に C V D 法で窒化シリコン膜 5 9 を堆積し、続いて窒化シリコン膜 5 9 の上部に C V D 法で P S G からなる層間絶縁膜 4 9 を堆積する。

【0097】次に、図 7 6 および図 7 7 に示すように、フォトリソistをマスクにしたドライエッチングで負荷用 M I S F E T Q p₁、Q p₂ のそれぞれの p 型半導体領域 9、9 (ソース領域) の上部の層間絶縁膜 4 9 を開孔して接続孔 5 0、5 0 を形成する。同時に、駆動用 M I S F E T Q d₁、Q d₂ のそれぞれの n 型半導体領域 5、5 (ソース領域) の上部の層間絶縁膜 4 9 を開孔して接続孔 5 1、5 1 を形成し、転送用 M I S F E T Q t₁、Q t₂ のそれぞれの n 型半導体領域 5、5 (ドレイン領域) の上部の層間絶縁膜 4 9 を開孔して接続孔 5 2、5 2 を形成する。このエッチングは、接続孔 5 0、5 1、5 2 の底部に窒化シリコン膜 5 9 が露出した時点で一旦停止する。

【0098】次に、酸化シリコン用のエッチングガスを窒化シリコン用のエッチングガスに切り替え、図 7 8 に示すように、接続孔 5 0、5 1、5 2 の内部の窒化シリコン膜 5 9 とその下部の薄い窒化シリコン膜 1 3 とをエッチングする。このエッチングは、接続孔 5 0、5 1、5 2 の内部において、ゲート電極 7 (ワード線 W L)、ゲート電極 8 および局所配線 L₁、L₂ のそれぞれの側壁にサイドウォールスペーサが形成されるような条件で行う。

【0099】このように、前記実施の形態 3 ではゲート電極 7 (ワード線 W L)、ゲート電極 8 および局所配線 L₁、L₂ のそれぞれの側壁にあらかじめ窒化シリコンのサイドウォールスペーサ 4 8 を形成してから層間絶縁膜 4 9 に接続孔 5 0、5 1、5 2 を形成するのに対し、本実施の形態では層間絶縁膜 4 9 を開孔して接続孔 5 0、5 1、5 2 を形成する際に窒化シリコンのサイドウォールスペーサを形成する。

【0100】この場合も前記実施の形態 3 と同様、フォトリソistマスクの合わせずれに起因して接続孔 5 0、5 1、5 2 とゲート電極 7 (ワード線 W L) およびゲート電極 8 とが一部で重なり合ったり、接続孔 5 0、5 1、5 2 と局所配線 L₁、L₂ とが一部で重なり合ったりしても、接続孔 5 0、5 1、5 2 の側壁にゲート電極 7

(ワード線WL)、ゲート電極8あるいは局所配線 L_1, L_2 が露出することはない。つまり、本実施の形態の製造方法を用いる場合にも、接続孔50、51、52をレイアウトする際に接続孔50、51、52と局所配線 L_1, L_2 との合わせ余裕、および接続孔50、51、52とゲート電極7(ワード線WL)、ゲート電極8との合わせ余裕を考慮する必要がないので、これらの合わせ余裕に相当する分、接続孔50、51、52を局所配線 L_1, L_2 、およびゲート電極7(ワード線WL)、ゲート電極8に近接させてレイアウトすることができ、メモリセルの占有面積を縮小することができる。

【0101】窒化シリコン膜59によって形成されるサイドウォールスペースをエッチングストップとして機能させるためには、窒化シリコン膜59の膜厚を、上記したフォトリソマスクの合わせ余裕よりも大きくする。

【0102】次に、図79および図80に示すように、前記実施の形態3の製造方法に従い層間絶縁膜49の上部に電源電圧線22、基準電圧線23および中間配線54を形成し、次いで図81および図82に示すように、電源電圧線22、基準電圧線23および中間配線54の上部に層間絶縁膜26を堆積し、フォトリソをマスクにしたドライエッチングで中間配線54の上部の層間絶縁膜26を開孔して接続孔55を形成した後、層間絶縁膜26の上部にデータ線DL、 \overline{DL} を形成する。

【0103】本実施の形態の製造方法によれば、接続孔50、51、52と局所配線 L_1, L_2 との合わせ余裕、および接続孔50、51、52とゲート電極7(ワード線WL)、ゲート電極8との合わせ余裕が不要になると共に、接続孔43、44とゲート電極8との合わせ余裕、および接続孔43とn型半導体領域5(接続孔44とp型半導体領域9)との合わせ余裕も不要となるので、前記実施の形態3よりもさらにメモリセルを縮小することができる。

【0104】(実施の形態5) 本実施の形態のSRAMは、一対の局所配線 L_1, L_2 を異なる導電層に形成し、上層の局所配線 L_1 と下層の局所配線 L_2 とそれらの間に介在する薄い絶縁膜とで容量素子Cを形成している。このSRAMのメモリセルの製造方法を図83～図97を用いて説明する。

【0105】まず、図83および図84に示すように、前記実施の形態1の製造方法に従い、半導体基板1の主面に素子分離溝2、次いでp型ウエル3およびn型ウエル4を形成し、さらにp型ウエル3およびn型ウエル4のそれぞれの表面にMISFETのゲート酸化膜6を形成した後、p型ウエル3に駆動用MISFET Q_{d1}, Q_{d2} 、および転送用MISFET Q_{t1}, Q_{t2} を形成し、n型ウエル4に負荷用MISFET Q_{p1}, Q_{p2} を形成する。ゲート電極7(ワード線WL)およびゲート電極8は多結晶シリコン膜で構成し、キャップ絶縁膜は酸化

シリコン膜12で構成する。ゲート電極7(ワード線WL)およびゲート電極8のそれぞれの側壁のサイドウォールスペース11は、酸化シリコン膜をエッチングして形成する。

【0106】次に、図85および図86に示すように、前記実施の形態3の製造方法に従い、転送用MISFET Q_{t1}, Q_{t2} のゲート電極7(ワード線WL)、駆動用MISFET Q_{d1}, Q_{d2} (負荷用MISFET Q_{p1}, Q_{p2})のゲート電極8、8、転送用MISFET Q_{t1}, Q_{t2} 、および駆動用MISFET Q_{d1}, Q_{d2} のそれぞれのn型半導体領域5、5(ソース領域、ドレイン領域)、負荷用MISFET Q_{p1}, Q_{p2} のそれぞれのp型半導体領域9、9(ソース領域、ドレイン領域)のそれぞれの表面にシート抵抗を低減する目的でTiシリサイド層10を形成する。

【0107】次に、図87および図88に示すように、半導体基板1上にCVD法で堆積した膜厚50nm程度の薄い窒化シリコン膜13をエッチングして駆動用MISFET Q_{d1} (負荷用MISFET Q_{p1})のゲート電極8の上部に接続孔14を形成し、駆動用MISFET Q_{d1} のn型半導体領域5(ドレイン領域)の上部に接続孔40を形成し、負荷用MISFET Q_{p1} のp型半導体領域9(ドレイン領域)の上部に接続孔41を形成した後、窒化シリコン膜13の上部にスパッタリング法またはCVD法で堆積した膜厚100nm程度のTiN膜をパターニングして局所配線 L_1 を形成する。局所配線 L_1 は、メモリセルを構成する6個のMISFETを覆うように広い面積で形成する。局所配線 L_1 は、接続孔14を通じて駆動用MISFET Q_{d1} (負荷用MISFET Q_{p1})のゲート電極8と接続され、接続孔40を通じて駆動用MISFET Q_{d1} のn型半導体領域5(ドレイン領域)と接続され、接続孔41を通じて負荷用MISFET Q_{p1} のp型半導体領域9(ドレイン領域)に接続される。

【0108】次に、図89および図90に示すように、半導体基板1上にCVD法で堆積した膜厚30nm程度の薄い窒化シリコン膜42をエッチングして駆動用MISFET Q_{d1} (負荷用MISFET Q_{p1})のゲート電極8の上部に接続孔18を形成し、駆動用MISFET Q_{d1} のn型半導体領域5(ドレイン領域)の上部に接続孔19を形成し、負荷用MISFET Q_{p1} のp型半導体領域9(ドレイン領域)の上部に接続孔20を形成した後、窒化シリコン膜42の上部にTiN膜からなる局所配線 L_2 を形成する。局所配線 L_2 は、接続孔18を通じて駆動用MISFET Q_{d1} (負荷用MISFET Q_{p1})のゲート電極8と接続され、接続孔19を通じて駆動用MISFET Q_{d1} のn型半導体領域5(ドレイン領域)と接続され、接続孔20を通じて負荷用MISFET Q_{p1} のp型半導体領域9(ドレイン領域)に接続される。

【0109】局所配線 L_1 は、窒化シリコン膜42の上部にスパッタリング法またはCVD法で膜厚100nm程度のTiN膜を堆積し、次いでこのTiN膜上にCVD法で膜厚100nm程度の窒化シリコン膜47を堆積した後、フォトリソをマスクにしたドライエッチングで窒化シリコン膜47およびTiN膜をパターンニングして形成する。局所配線 L_1 は、メモリセルを構成する6個のMISFETを覆うように広い面積で形成し、接続孔18、19、20の開孔領域とその合わせ余裕領域とを除いた領域において下層の局所配線 L_2 とほぼ完全に重なるようにする。これにより、局所配線 L_1 、 L_2 （一对の電極）とそれらの間に介在する、局所配線 L_1 、 L_2 よりも薄い膜厚の窒化シリコン膜42（誘電体膜）とで容量素子Cを形成し、しかもこの容量素子Cの電荷を大きくすることができるので、蓄積ノードの電荷蓄積量を増やしてメモリセルの α 線ソフトエラー耐性を向上させることができる。

【0110】次に、図91に示すように、ゲート電極8、下層の局所配線 L_2 、および上層の局所配線 L_1 ：それぞれの側壁にサイドウォールスペーサ48を形成する。また、同図には示さないゲート電極7（ワード線WL）の側壁にもサイドウォールスペーサ48を形成する。サイドウォールスペーサ48は、窒化シリコン膜47の上部にCVD法で堆積した膜厚200nm程度の窒化シリコン膜をエッチングして形成する。

【0111】次に、図92および図93に示すように、窒化シリコン膜47の上部に膜厚400nm程度のPSGからなる層間絶縁膜49をCVD法で堆積した後、フォトリソをマスクにしたドライエッチングで層間絶縁膜49を開孔することにより、負荷用MISFET Q_{p1} 、 Q_{p2} のp型半導体領域9、9（ソース領域）の上部に接続孔50、50を形成し、駆動用MISFET Q_{d1} 、 Q_{d2} のn型半導体領域5、5（ソース領域）の上部に接続孔51、51を形成し、転送用MISFET Q_{t1} 、 Q_{t2} のn型半導体領域5、5（ドレイン領域）の上部に接続孔52、52を形成する。このとき、窒化シリコン膜からなるサイドウォールスペーサ48がエッチングストップとなるため、接続孔50、51の側壁にゲート電極8が露出したり、接続孔52の側壁にゲート電極7（ワード線WL）が露出したりすることはない。また、接続孔50、51、52の側壁に下層の局所配線 L_2 が露出したり、上層の局所配線 L_1 が露出したりすることもない。

【0112】つまり、一对の局所配線 L_1 、 L_2 を異なる導電層に配置するSRAMに対して本実施の形態の製造方法を用いる場合には、接続孔50、51、52と上層の局所配線 L_1 との合わせ余裕、接続孔50、51、52と下層の局所配線 L_2 との合わせ余裕、および接続孔50、51、52とゲート電極7（ワード線WL）、ゲート電極8との合わせ余裕を考慮する必要がない。これ

により、これらの合わせ余裕に相当する分、接続孔50、51、52を上層の局所配線 L_1 、下層の局所配線 L_2 、およびゲート電極7（ワード線WL）、ゲート電極8に近接させてレイアウトすることができるので、メモリセルの占有面積を縮小することができる。層間絶縁膜49をエッチングする際にサイドウォールスペーサ48をエッチングストップとして機能させるためには、サイドウォールスペーサ48を構成する窒化シリコン膜の膜厚を、上記したフォトリソマスクの合わせ余裕よりも大きくする。

【0113】本実施の形態ではゲート電極7（ワード線WL）、ゲート電極8、下層の局所配線 L_2 、上層の局所配線 L_1 ：それぞれの側壁にあらかじめ窒化シリコンのサイドウォールスペーサ48を形成した後、層間絶縁膜49に接続孔50、51、52を形成するが、前記実施の形態4のように、上層の局所配線 L_1 を覆う窒化シリコン膜47の上部に窒化シリコン膜と層間絶縁膜49とを堆積し、層間絶縁膜49を開孔して接続孔50、51、52を形成する際にサイドウォールスペーサを形成するようにしてもよい。

【0114】次に、図94および図95に示すように、前記実施の形態3の製造方法に従い層間絶縁膜49の上部に電源電圧線22、基準電圧線23および中間配線54を形成した後、図96および図97に示すように、電源電圧線22、基準電圧線23および中間配線54の上部に層間絶縁膜26を堆積し、次いで中間配線54の上部の層間絶縁膜26を開孔して接続孔55を形成した後、層間絶縁膜26の上部にデータ線DL、 $\bar{D}L$ を形成する。

【0115】本実施の形態によれば、一对の局所配線 L_1 、 L_2 を異なる導電層に形成し、局所配線 L_1 、 L_2 同士を重なり合うように配置することによりメモリセルの占有面積を縮小することができ、かつ接続孔50、51、52と上層の局所配線 L_1 との合わせ余裕、接続孔50、51、52と下層の局所配線 L_2 との合わせ余裕、および接続孔50、51、52とゲート電極7（ワード線WL）、ゲート電極8との合わせ余裕を不要とすることにより、メモリセルの占有面積をさらに縮小することができる。

【0116】本実施の形態によれば、上層の局所配線 L_1 と下層の局所配線 L_2 とを広い面積で重なり合うように配置し、これらの局所配線 L_1 、 L_2 とその間に介在する薄い絶縁膜とで容量素子Cを構成することにより、メモリセルの α 線ソフトエラー耐性を向上させることができる。

【0117】以上、本発明者によってなされた発明を実施の形態に基づいて具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0118】局所配線を構成する金属材料は、前記実施の形態で例示したもの以外にも種々採用することが可能であり、例えば下層の局所配線を第1層目のアルミニウム系金属(TiN/Al/TiN)で構成し、上層の局所配線を第2層目のアルミニウム系金属で構成してもよい。この場合、例えば電源電圧線および基準電圧線は第3層目のアルミニウム系金属で構成し、相補性データ線は第4層目のアルミニウム系金属で構成する。

【0119】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0120】本発明のSRAMによれば、メモリセルのフリップフロップ回路の入出力端子間を交差結合する一対の局所配線を異なる導電層に形成することにより、一対の局所配線を同一層の導電膜で形成する場合には必要となる2本の局所配線を横に並べて配置するスペースが不要となり、局所配線同士を部分的に重なり合うように配置することが可能となるので、メモリセルの占有面積を縮小することが可能となる。

【0121】本発明のSRAMによれば、上層の局所配線を下層の局所配線と重なり合うように配置し、これらの局所配線とこれらの間に介在する絶縁膜とで容量素子を構成することにより、メモリセルの蓄積ノード容量を増やすことができるので、メモリセルサイズの微細化や動作電源電圧の低下に伴う α 線ソフトエラー耐性の低下を防ぐことができる。

【0122】本発明のSRAMによれば、メモリセルを構成する駆動用MISFET、負荷用MISFETおよび転送用MISFETのそれぞれのソース、ドレイン領域の表面に低抵抗材料である高融点金属シリサイド層を形成したことにより、メモリセルの高速動作を実現することができる。

【0123】本発明のSRAMによれば、駆動用MISFETおよび転送用MISFETが形成される半導体基板(p型ウェル)の活性領域と、負荷用MISFETが形成される半導体基板(n型ウェル)の活性領域とを半導体基板に開孔した溝で分離したことにより、LOCOS法で形成したフィールド絶縁膜で分離する場合に比べて素子分離領域の占有面積を小さくでき、メモリセルの占有面積を縮小することができる。

【0124】本発明のSRAMの製造方法によれば、フォトレジストをマスクにして層間絶縁膜に接続孔を形成する際のマスク合わせ余裕を不要とすることができるので、メモリセルの占有面積を縮小することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1であるSRAMのメモリセル(約1個分)を示す平面図である。

【図2】図1のA-A'線に沿ったメモリセルの断面図

である。

【図3】図1のB-B'線に沿ったメモリセルの断面図である。

【図4】本発明の実施の形態1であるSRAMのメモリセル(約4個分)を示す平面図である。

【図5】本発明の実施の形態1であるSRAMのメモリセルの等価回路図である。

【図6】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す平面図である。

10 【図7】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す断面図である。

【図8】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す断面図である。

【図9】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す平面図である。

【図10】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す断面図である。

【図11】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す断面図である。

20 【図12】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す平面図である。

【図13】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す断面図である。

【図14】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す平面図である。

【図15】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す断面図である。

【図16】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す断面図である。

30 【図17】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す平面図である。

【図18】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す断面図である。

【図19】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す平面図である。

【図20】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す断面図である。

【図21】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す平面図である。

40 【図22】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す断面図である。

【図23】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す平面図である。

【図24】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す断面図である。

【図25】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す平面図である。

【図26】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す断面図である。

50 【図27】本発明の実施の形態1であるSRAMのメモ

りセルの製造方法を示す断面図である。

【図５３】本発明の実施の形態３であるＳＲＡＭのメモリセルの製造方法を示す平面図である。

【図５４】本発明の実施の形態３であるＳＲＡＭのメモリセルの製造方法を示す断面図である。

【図 5 5】本発明の実施の形態 3 である S R A M のメモリセルの製造方法を示す平面図である。

【図５６】本発明の実施の形態３であるＳＲＡＭのメモリセルの製造方法を示す断面図である。

【図 57】本発明の実施の形態 3 である S R A M のメモリセルの製造方法を示す断面図である。

【図５８】本発明の実施の形態３であるＳＲＡＭのメモリセルの製造方法を示す断面図である。

【図 59】本発明の実施の形態 3 である S R A M のメモリセルの製造方法を示す平面図である。

【図 60】本発明の実施の形態 3 である S R A M のメモリセルの製造方法を示す断面図である。

【図 6 1】本発明の実施の形態 3 である S R A M のメモリセルの製造方法を示す平面図である。

【図 6 2】本発明の実施の形態 3 である S R A M のメモリセルの製造方法を示す断面図である。

【図 6 3】本発明の実施の形態 3 である S R A M のメモリセルの製造方法を示す平面図である。

【図 6 4】本発明の実施の形態 3 である S R A M のメモリセルの製造方法を示す断面図である。

【図 65】本発明の実施の形態 4 である S R A M のメモリセルの製造方法を示す平面図である。

【図 6 6】本発明の実施の形態 4 である S R A M のメモリセルの製造方法を示す断面図である。

【図 67】本発明の実施の形態 4 である S R A M のメモリセルの製造方法を示す平面図である。

【図 68】本発明の実施の形態 4 である S R A M のメモリセルの製造方法を示す断面図である。

【図 6 9】本発明の実施の形態 4 である S R A M のメモリセルの製造方法を示す平面図である。

【図 70】本発明の実施の形態 4 である S R A M のメモリセルの製造方法を示す断面図である。

【図 7 1】本発明の実施の形態 4 である S R A M のメモリセルの製造方法を示す平面図である。

【図 7 2】本発明の実施の形態 4 である S R A M のメモリセルの製造方法を示す断面図である。

【図 7 3】本発明の実施の形態 4 である S R A M のメモリセルの製造方法を示す平面図である。

【図 7 4】本発明の実施の形態 4 である S R A M のメモリセルの製造方法を示す断面図である。

【図 75】本発明の実施の形態 4 である SRAM のメモリアルセルの製造方法を示す断面図である。

【図 7 6】本発明の実施の形態 4 である S R A M のメモリセルの製造方法を示す平面図である。

【図 77】本発明の実施の形態 4 である SRAM のメモ

リセルの製造方法を示す断面図である。

【図 7 8】本発明の実施の形態 4 である S R A M のメモリセルの製造方法を示す断面図である。

【図 7 9】本発明の実施の形態 4 である S R A M のメモリセルの製造方法を示す平面図である。

【図 8 0】本発明の実施の形態 4 である S R A M のメモリセルの製造方法を示す断面図である。

【図 8 1】本発明の実施の形態 4 である S R A M のメモリセルの製造方法を示す平面図である。

【図 8 2】本発明の実施の形態 4 である S R A M のメモリセルの製造方法を示す断面図である。

【図 8 3】本発明の実施の形態 5 である S R A M のメモリセルの製造方法を示す平面図である。

【図 8 4】本発明の実施の形態 5 である S R A M のメモリセルの製造方法を示す断面図である。

【図 8 5】本発明の実施の形態 5 である S R A M のメモリセルの製造方法を示す平面図である。

【図 8 6】本発明の実施の形態 5 である S R A M のメモリセルの製造方法を示す断面図である。

【図 8 7】本発明の実施の形態 5 である S R A M のメモリセルの製造方法を示す平面図である。

【図 8 8】本発明の実施の形態 5 である S R A M のメモリセルの製造方法を示す断面図である。

【図 8 9】本発明の実施の形態 5 である S R A M のメモリセルの製造方法を示す平面図である。

【図 9 0】本発明の実施の形態 5 である S R A M のメモリセルの製造方法を示す断面図である。

【図 9 1】本発明の実施の形態 5 である S R A M のメモリセルの製造方法を示す断面図である。

【図 9 2】本発明の実施の形態 5 である S R A M のメモリセルの製造方法を示す平面図である。

【図 9 3】本発明の実施の形態 5 である S R A M のメモリセルの製造方法を示す断面図である。

【図 9 4】本発明の実施の形態 5 である S R A M のメモリセルの製造方法を示す平面図である。

【図 9 5】本発明の実施の形態 5 である S R A M のメモリセルの製造方法を示す断面図である。

【図 9 6】本発明の実施の形態 5 である S R A M のメモリセルの製造方法を示す平面図である。

【図 9 7】本発明の実施の形態 5 である S R A M のメモリセルの製造方法を示す断面図である。

【符号の説明】

- 1 半導体基板
- 2 素子分離溝
- 3 p 型ウェル
- 4 n 型ウェル
- 5 n 型半導体領域（ソース領域、ドレイン領域）
- 6 ゲート酸化膜
- 7 ゲート電極
- 8 ゲート電極

9 p 型半導体領域（ソース領域、ドレイン領域）

10 T i シリサイド層

11 サイドウォールスペース

12 酸化シリコン膜

13 窒化シリコン膜

14 接続孔

15 接続孔

16 接続孔

17 層間絶縁膜

18 接続孔

19 接続孔

20 接続孔

21 層間絶縁膜

22 電源電圧線

23 基準電圧線

24 接続孔

25 接続孔

26 層間絶縁膜

27 接続孔

28 フィールド酸化膜

29 プラグ

30 溝

31 酸化シリコン膜

32 窒化シリコン膜

33 n 型多結晶シリコン膜

34 W シリサイド膜

35 T i 膜

36 酸化シリコン膜

37 プラグ

40 接続孔

41 接続孔

42 窒化シリコン膜

43 接続孔

44 接続孔

45 接続孔

46 接続孔

47 窒化シリコン膜

48 サイドウォールスペース

49 層間絶縁膜

50 接続孔

51 接続孔

52 接続孔

53 窒化シリコン膜

54 中間配線

55 接続孔

56 窒化シリコン膜

57 接続孔

58 接続孔

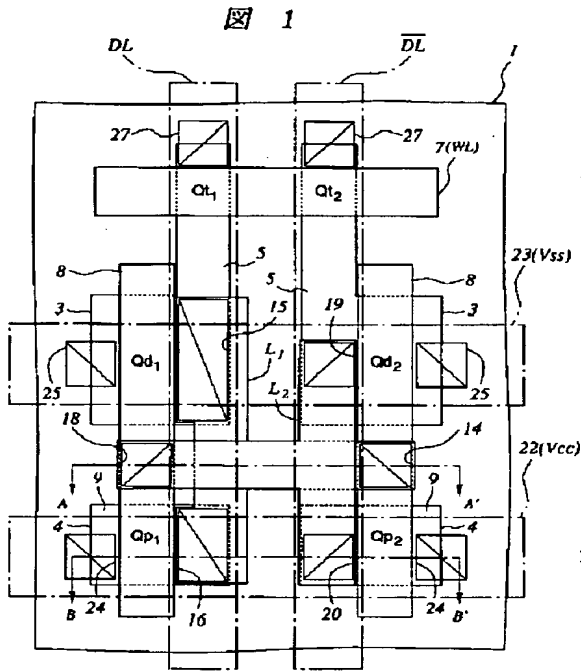
59 窒化シリコン膜

50 A R 活性領域

37

C 容量素子
 C' 容量素子
 DL, /DL データ線
 L₁, L₂ 局所配線

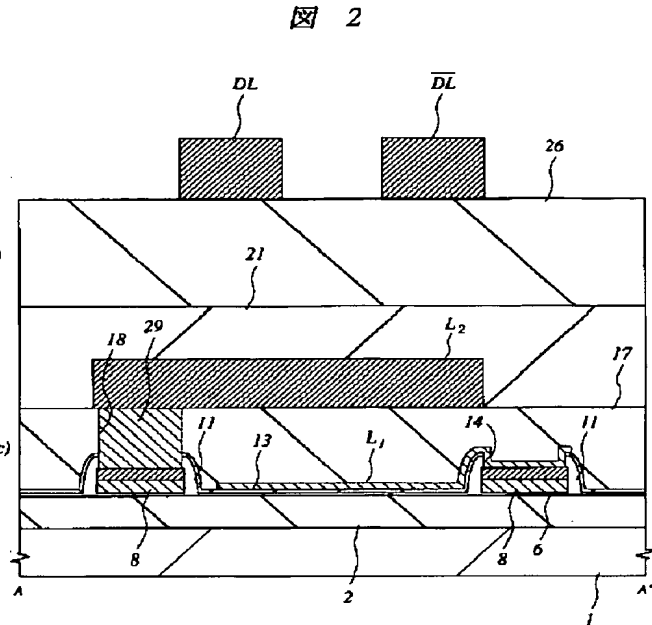
【図 1】



38

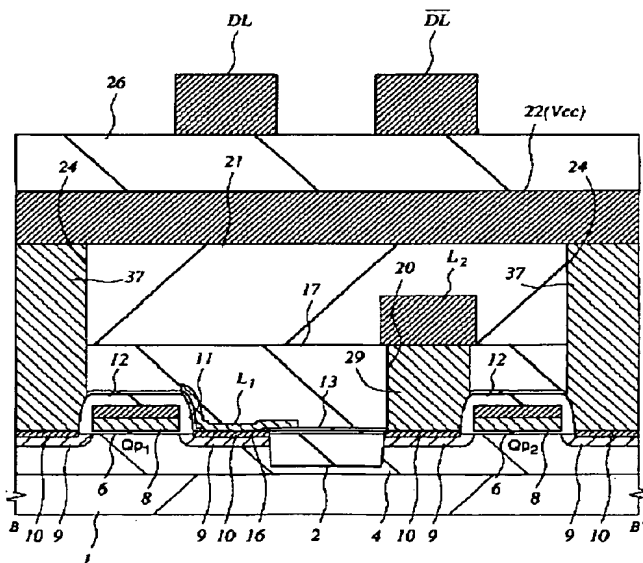
Qd₁, Qd₂ 駆動用 MISFET
 Qp₁, Qp₂ 負荷用 MISFET
 Qt₁, Qt₂ 転送用 MISFET
 WL ワード線

【図 2】

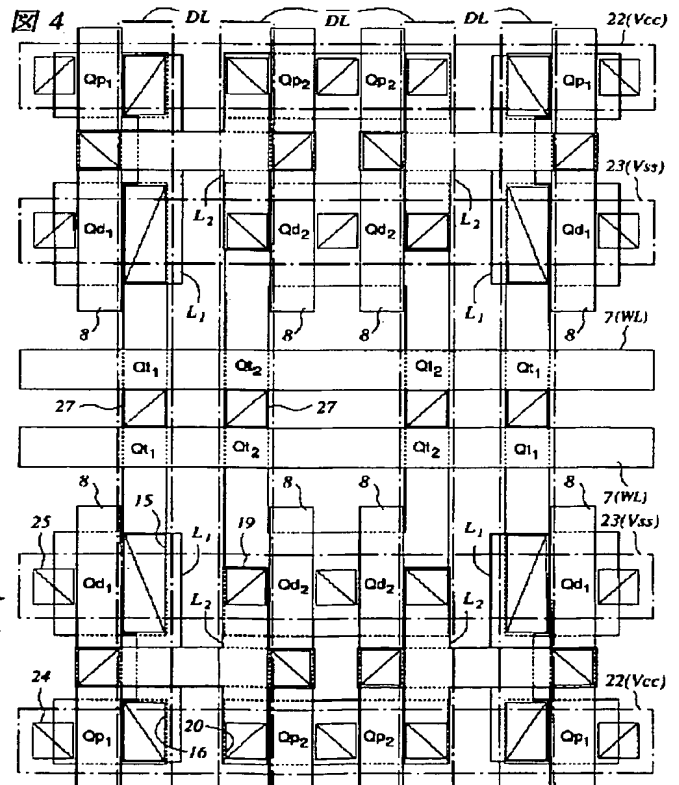


【図 3】

図 3

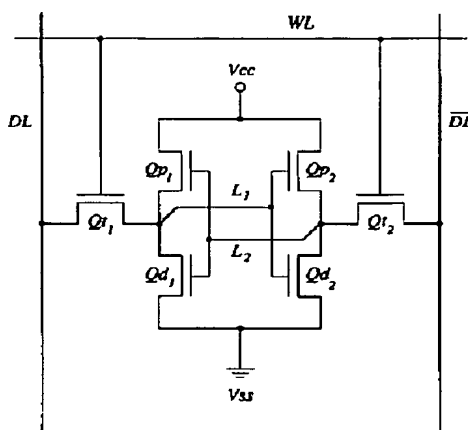


【図 4】



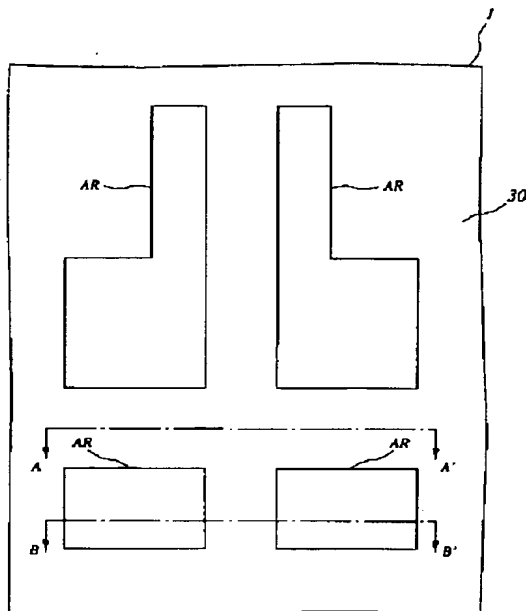
【図 5】

図 5



【図 6】

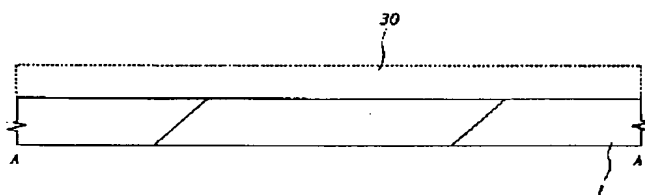
図 6



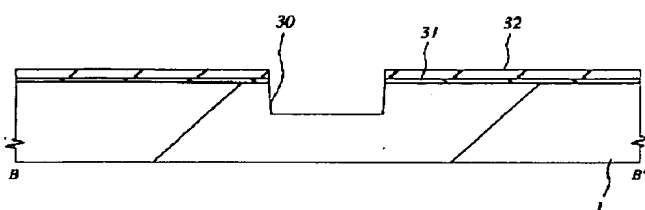
【図 7】

図 7

(a)



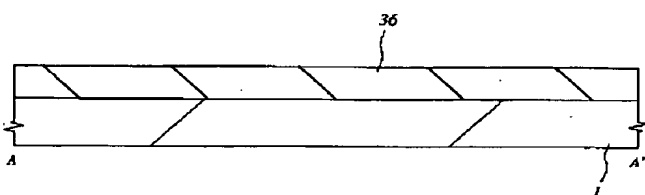
(b)



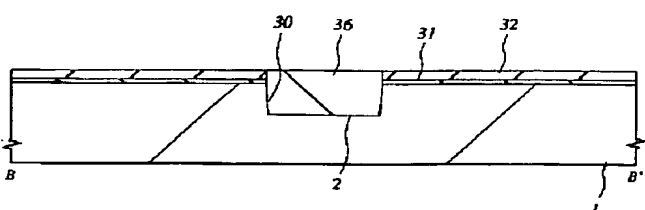
【図 8】

図 8

(a)

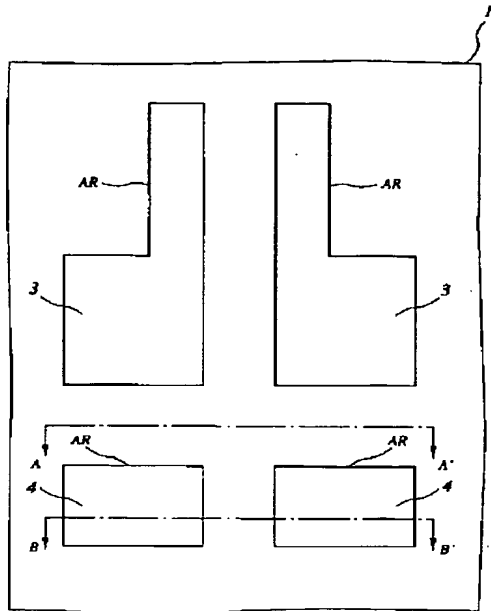


(b)



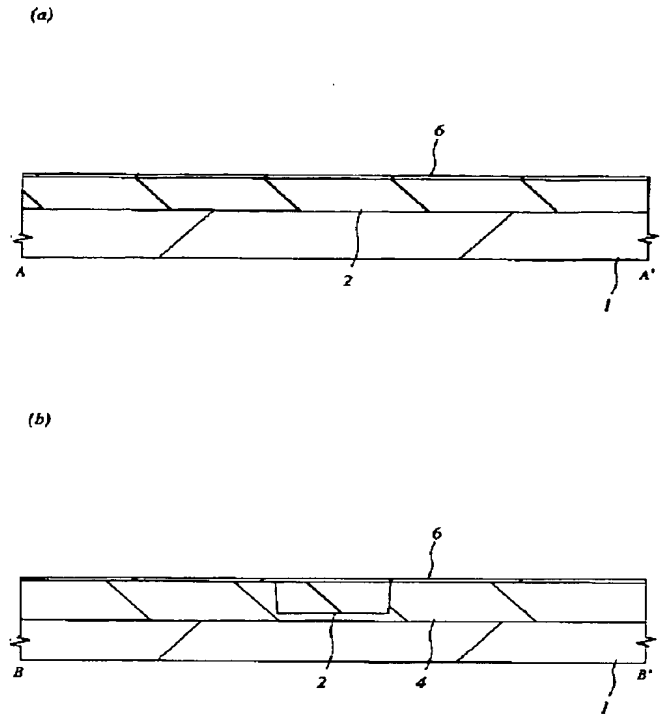
【図 9】

図 9



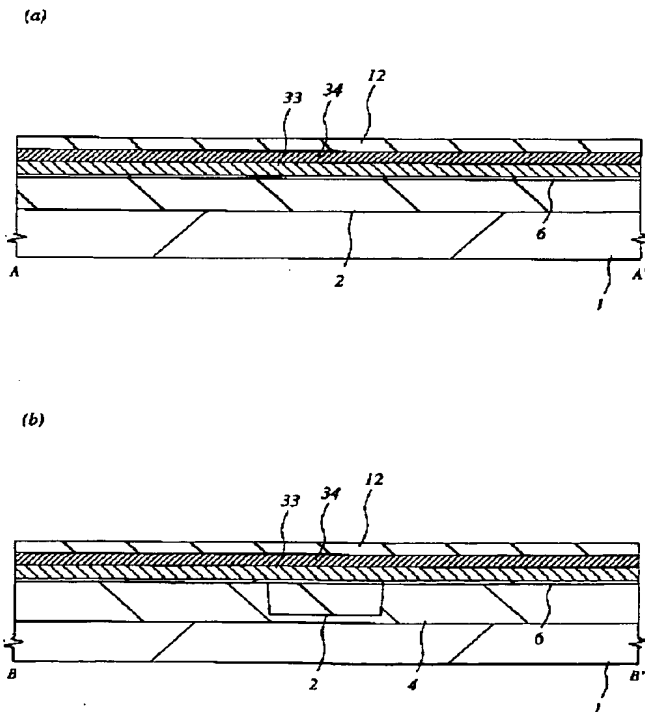
【図 10】

図 10



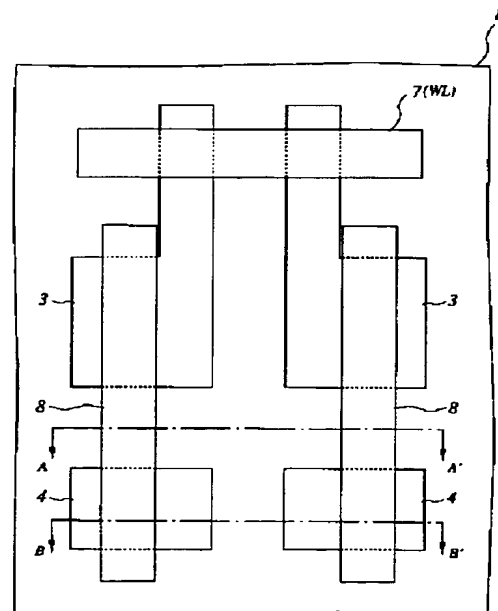
【図 11】

図 11



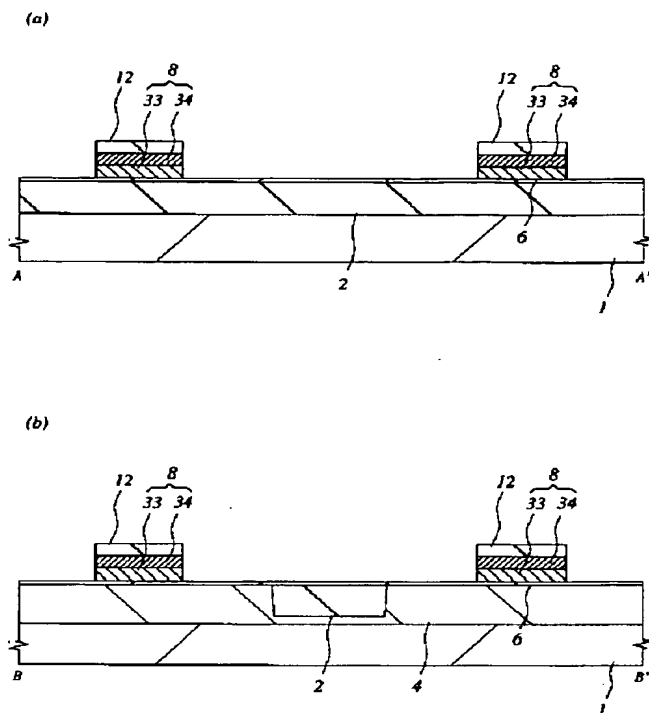
【図 12】

図 12



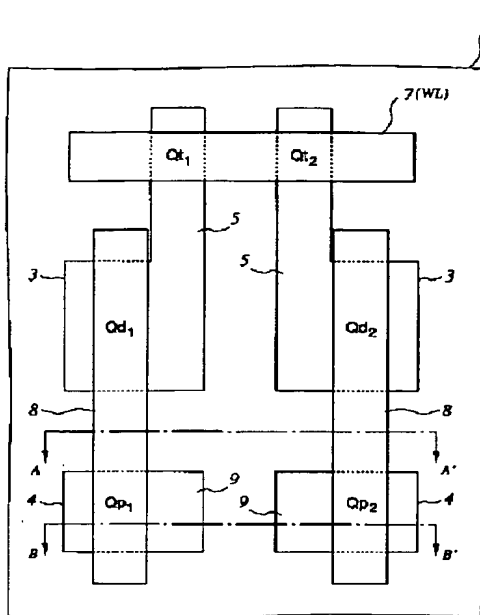
【図 13】

図 13



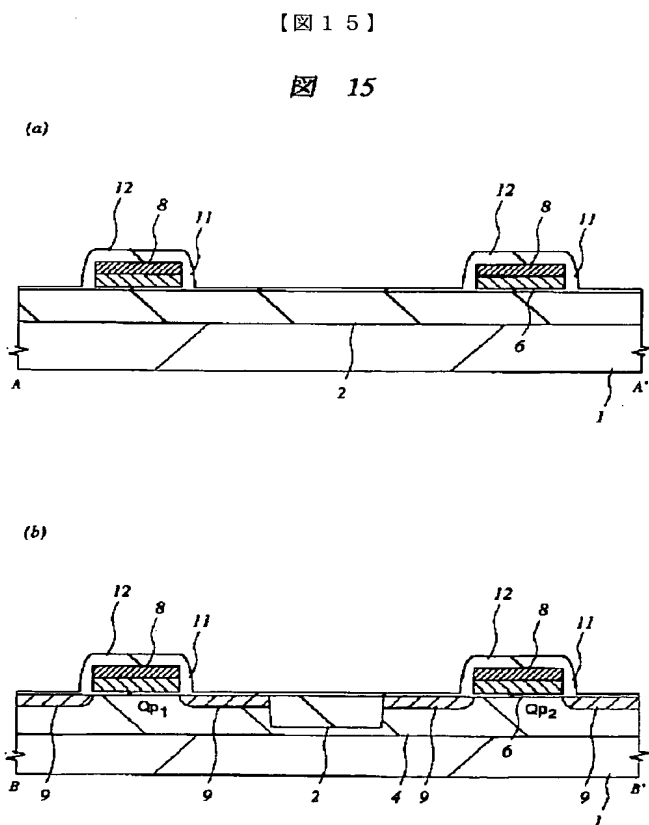
【図 14】

図 14

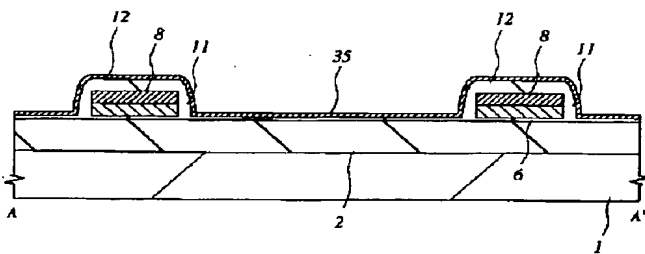


【図 16】

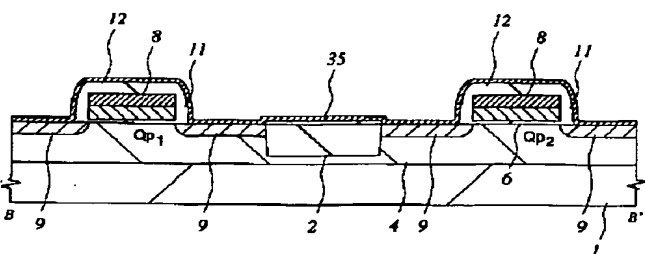
図 16



(a)

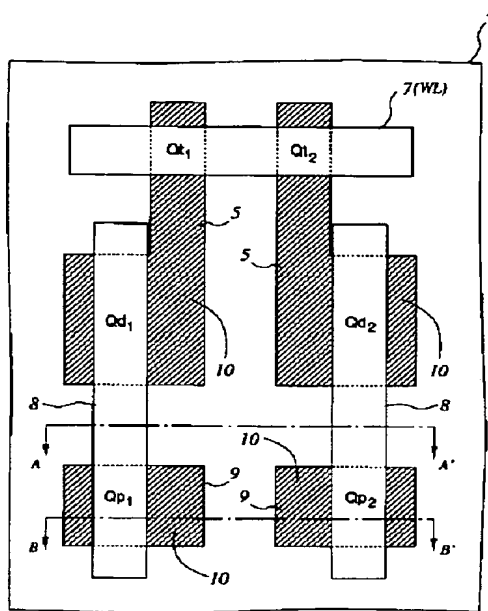


(b)



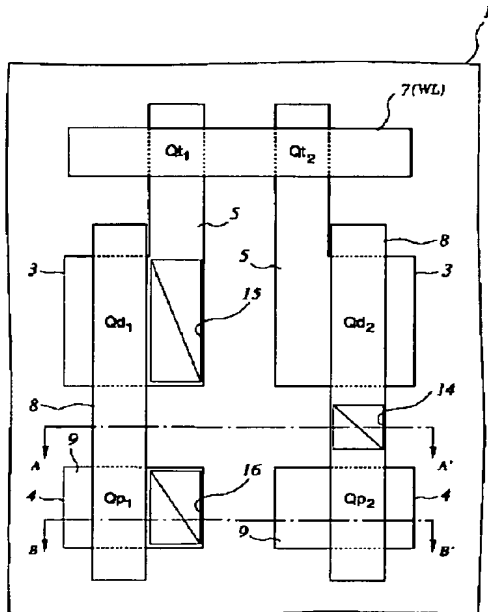
【図 17】

図 17



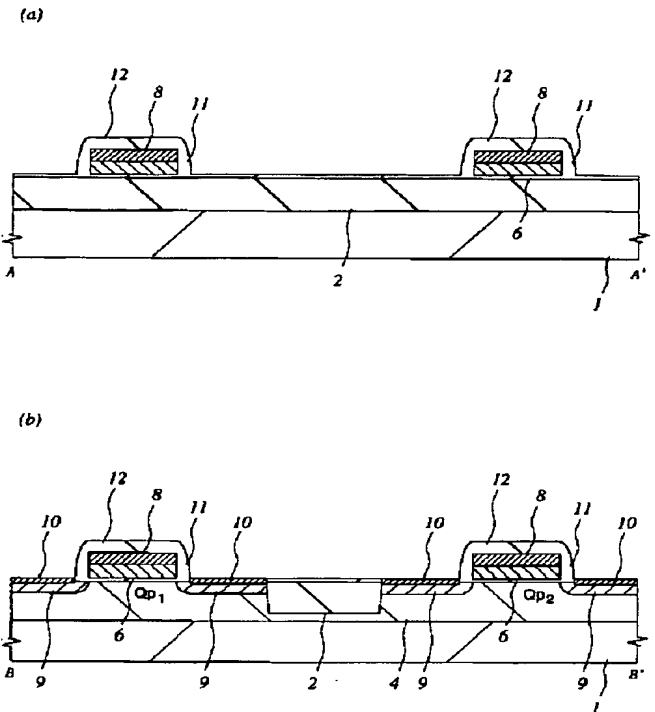
【図 19】

図 19



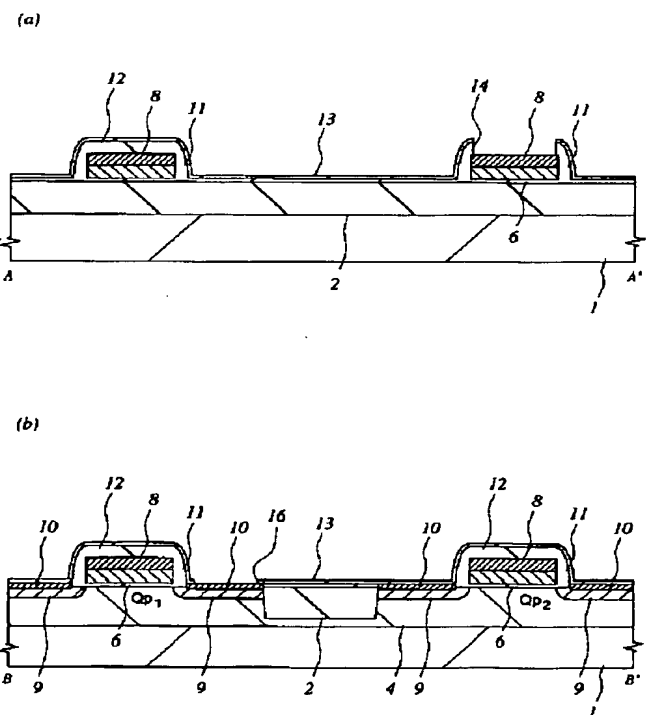
【図 18】

図 18



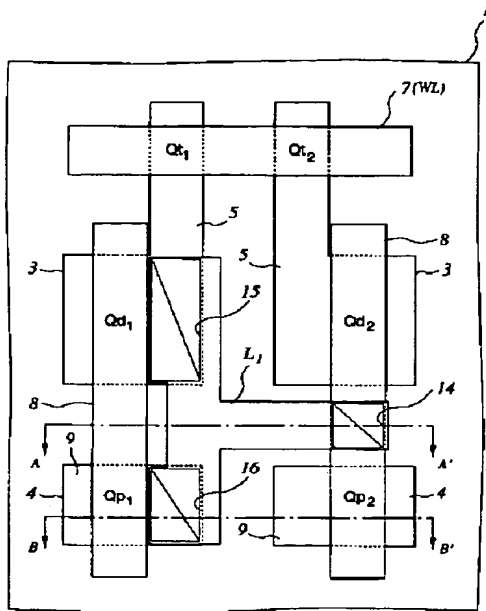
【図 20】

図 20



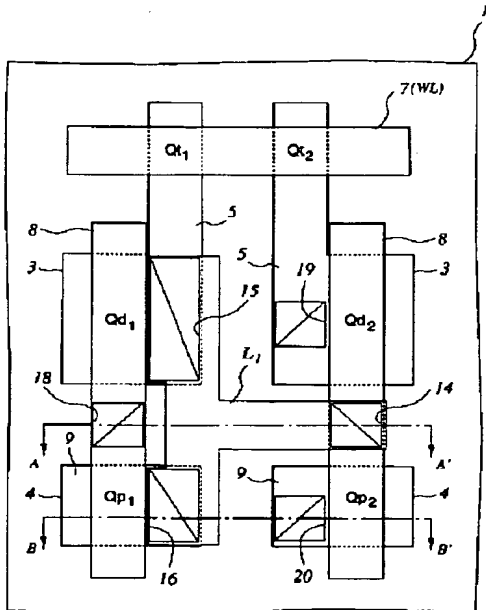
【図 2 1】

図 21



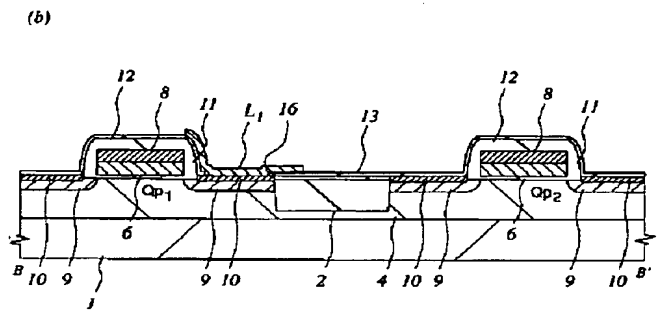
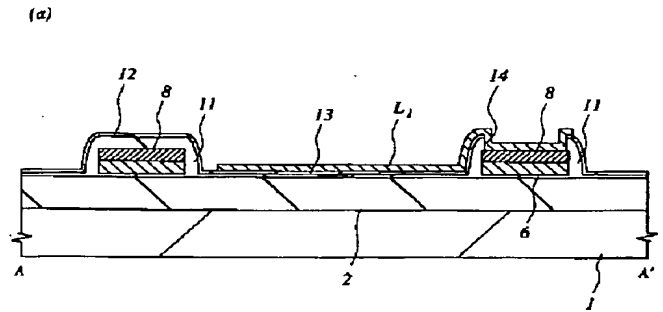
【図 2 3】

図 23



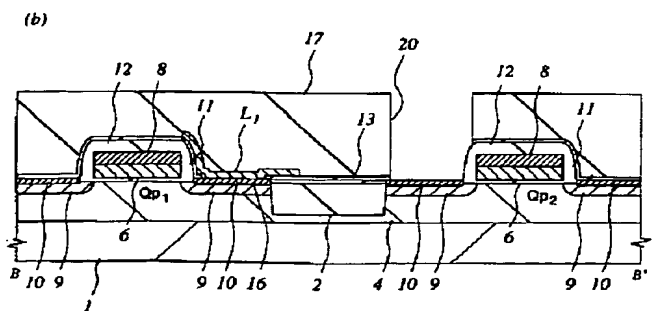
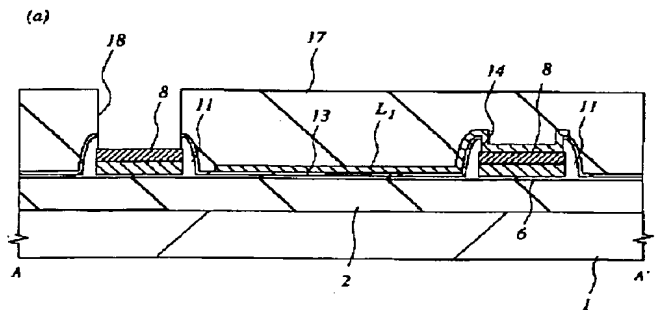
【図 2 2】

図 22



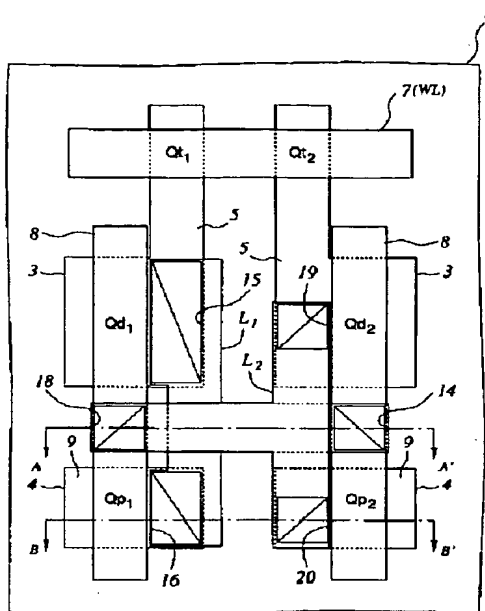
【図 2 4】

図 24



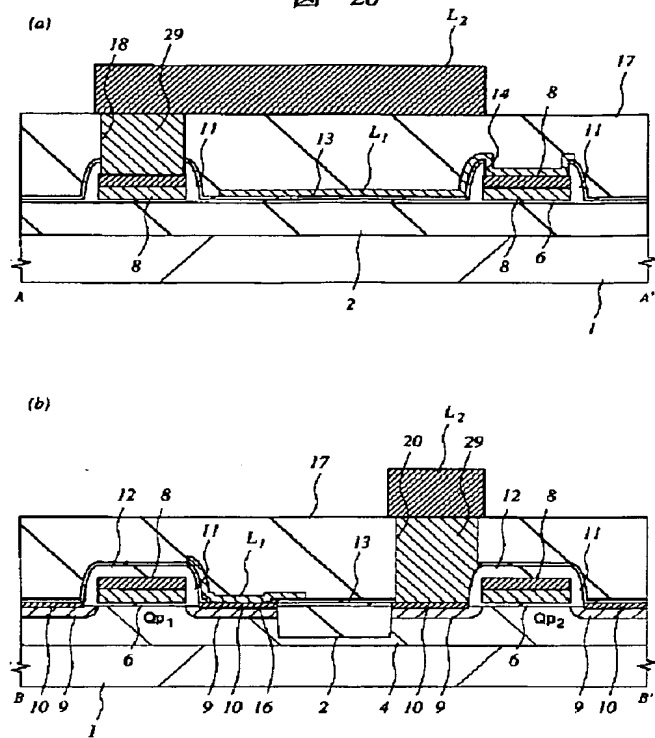
【図 25】

図 25



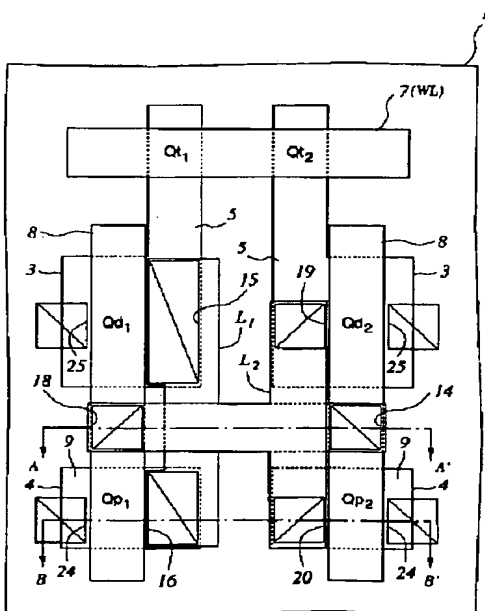
【図 26】

図 26



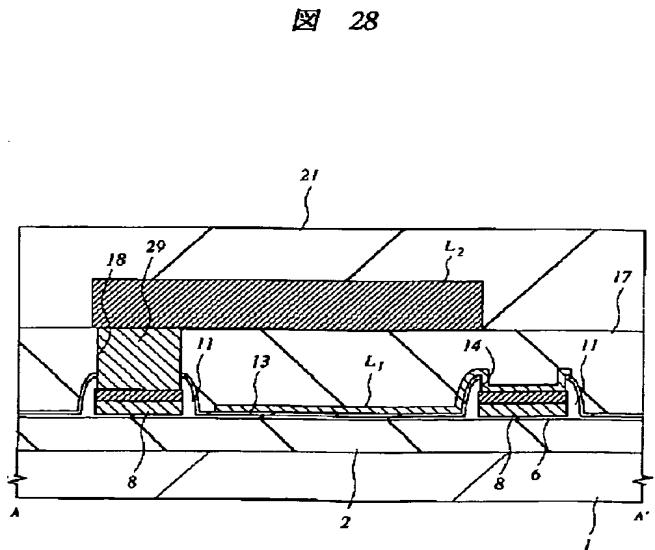
【図 27】

図 27



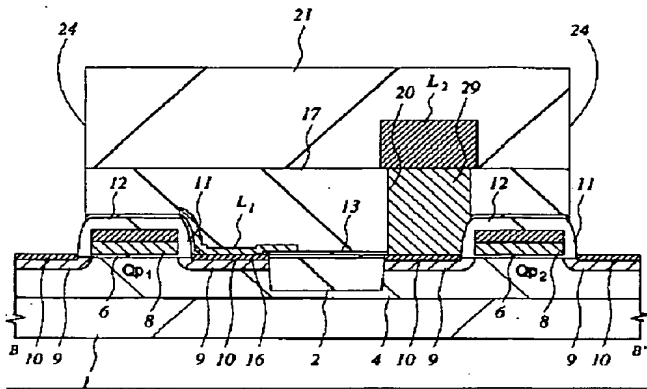
【図 28】

図 28



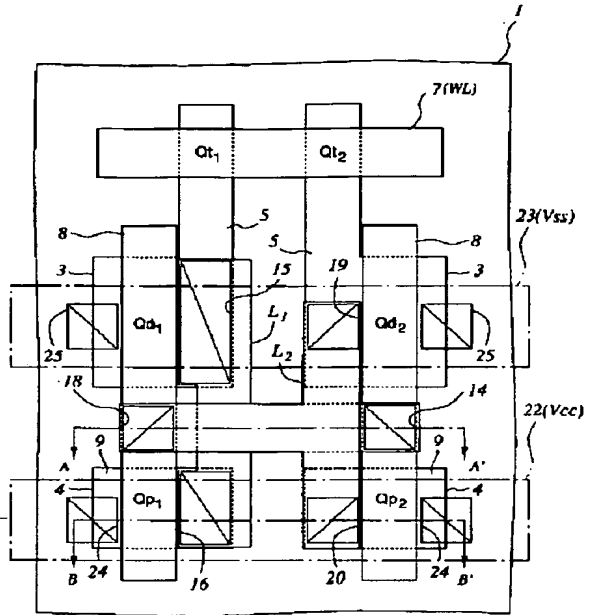
【図 29】

図 29



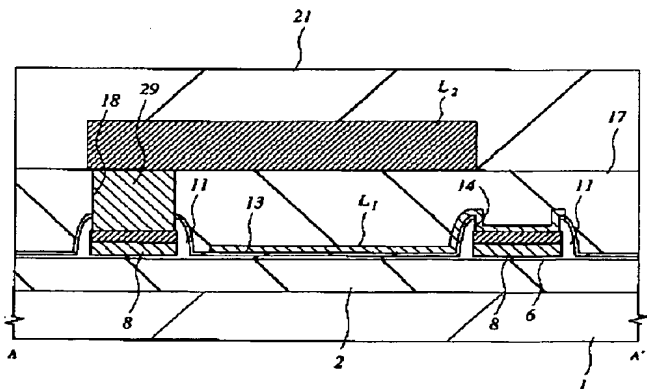
【図 30】

図 30



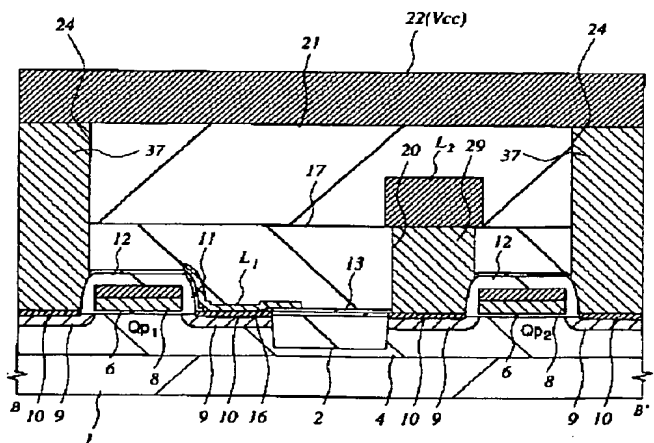
【図 31】

図 31



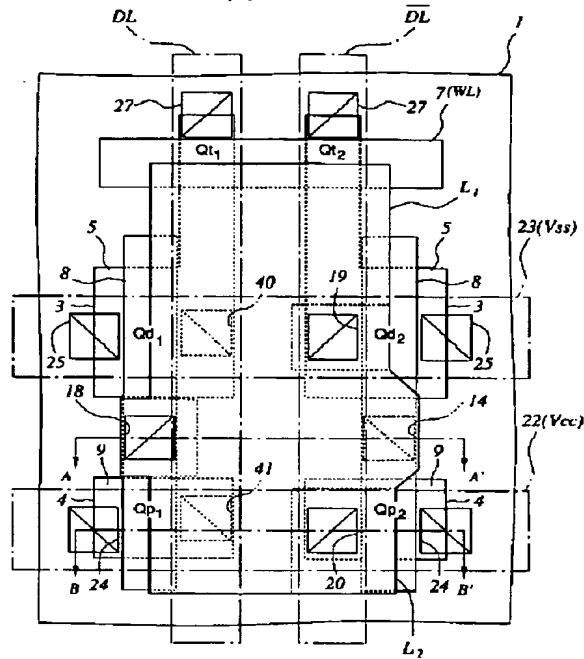
【図 32】

図 32



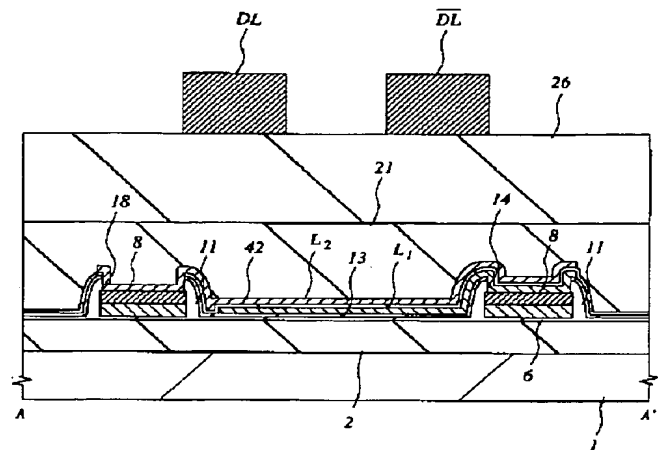
【図 3 3】

図 33



【図 3 4】

図 34

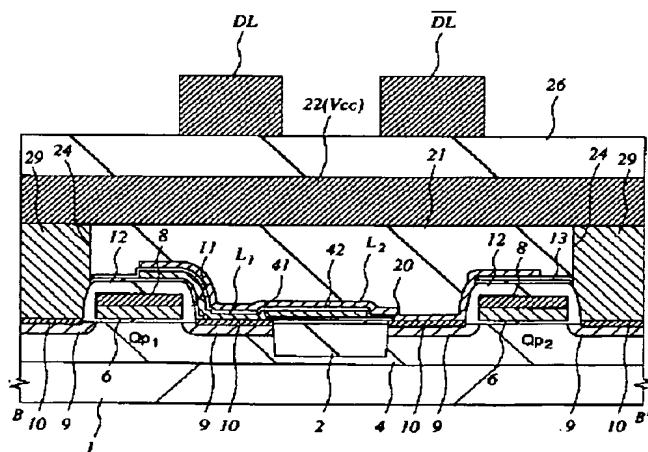


【図 3 5】

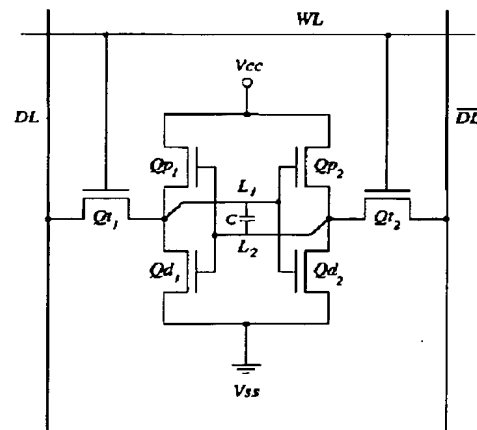
図 36

【図 3 5】

図 35

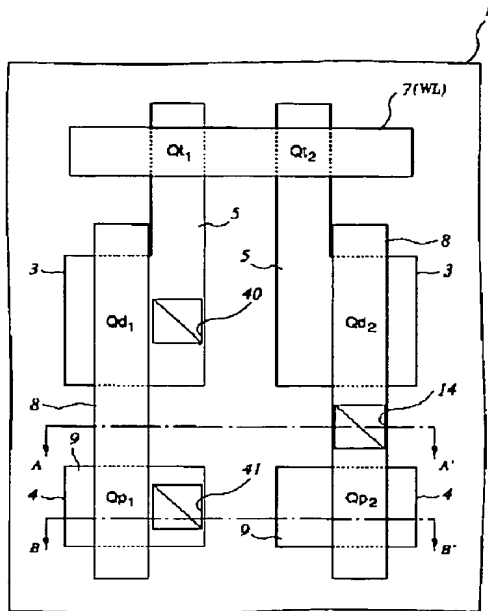


L_1, L_2 : 局所配線
42: 窒化シリコン膜



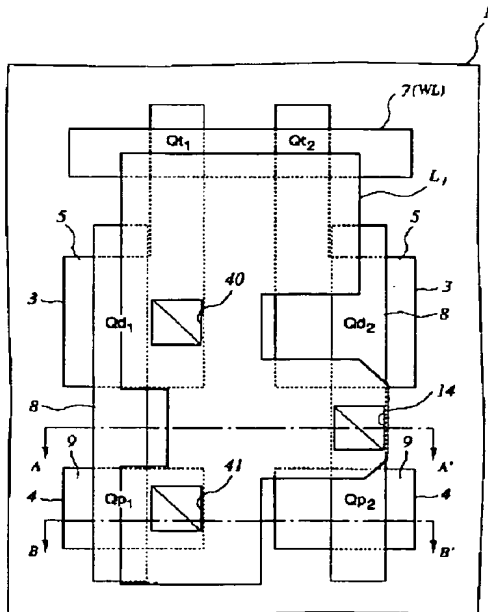
【図 37】

図 37



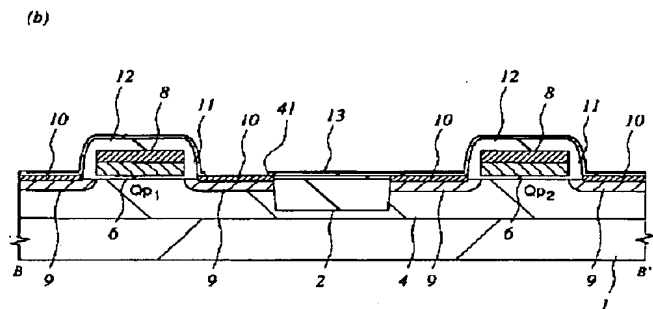
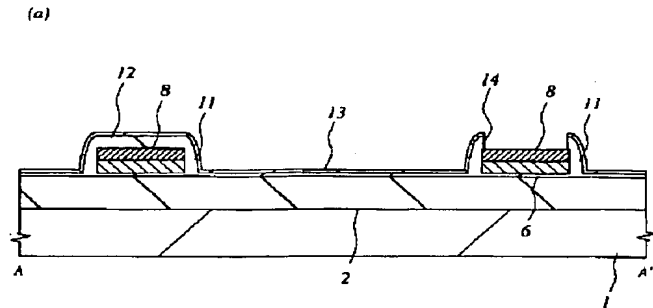
【図 39】

図 39



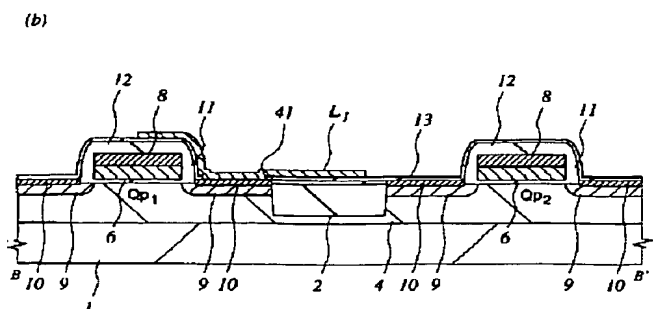
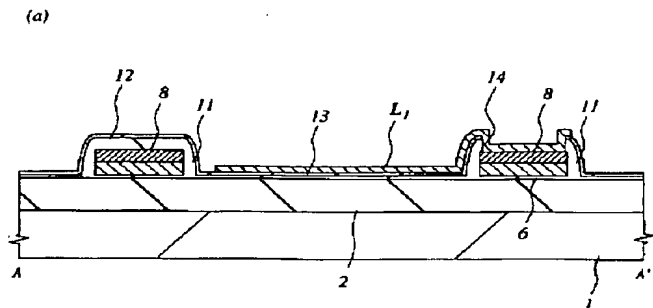
【図 38】

図 38



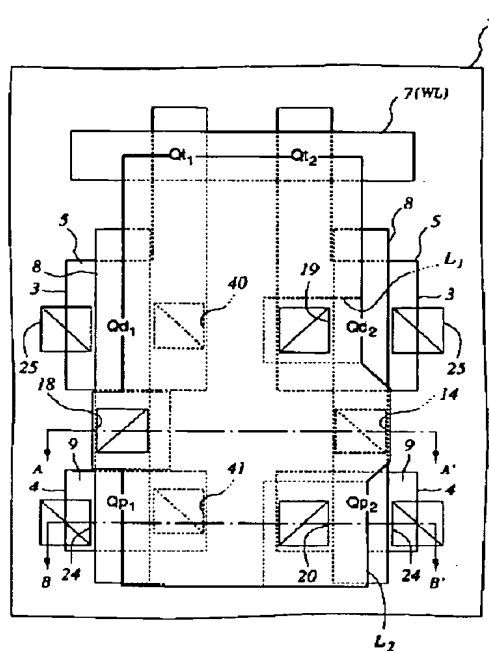
【図 40】

図 40



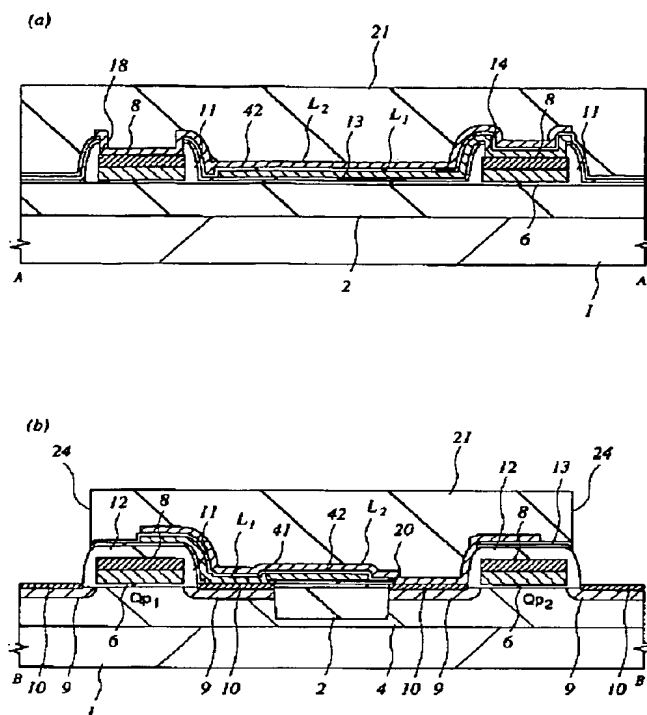
【图 4 5】

45



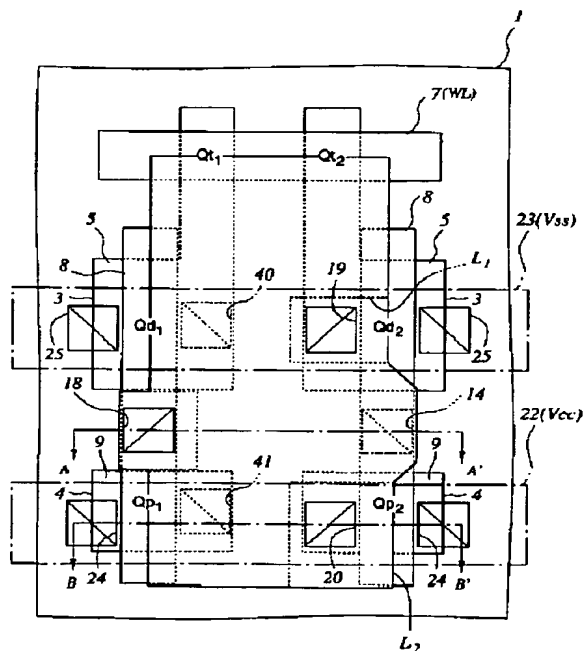
【图 4 6】

46



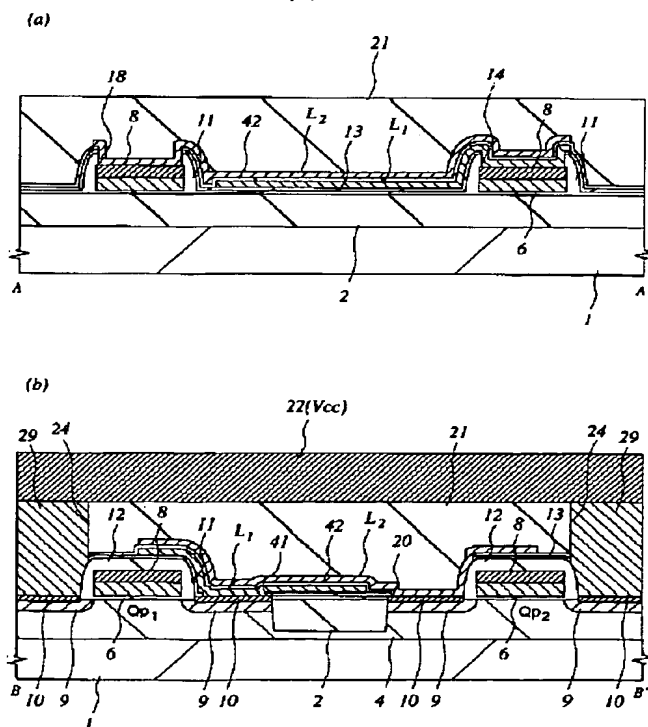
【図 4 7】

图 47



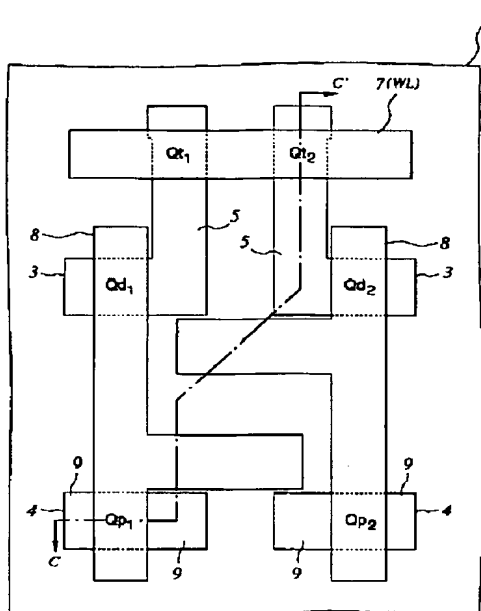
【図 48】

48



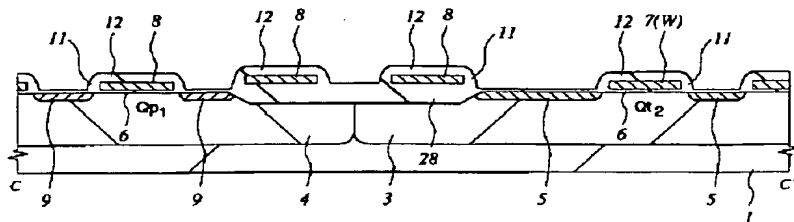
【図 49】

図 49



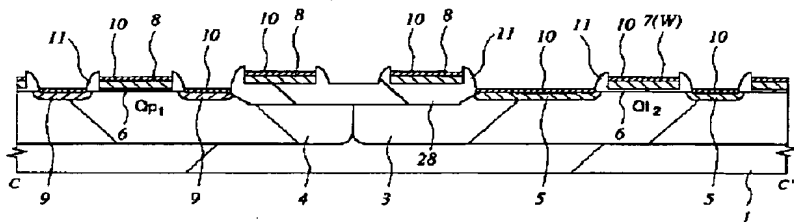
【図 50】

図 50



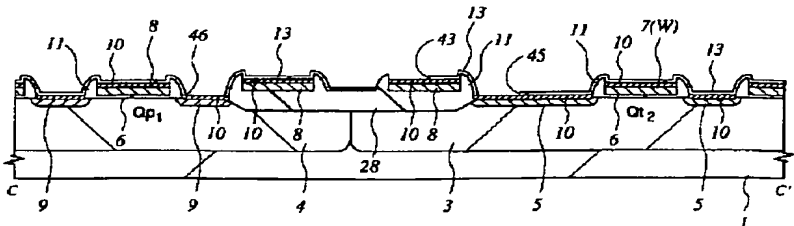
【図 52】

図 52



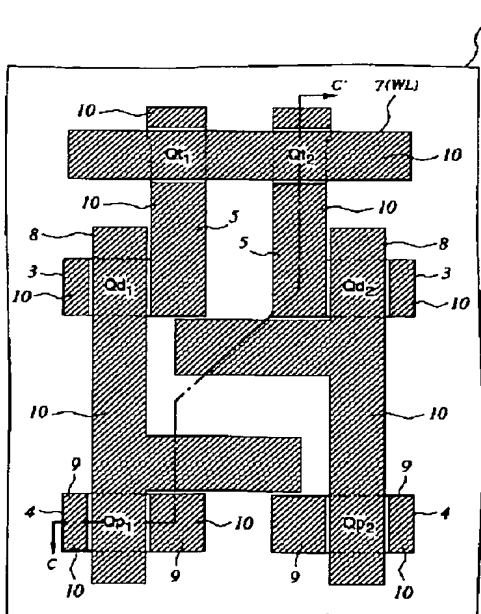
【図 54】

図 54



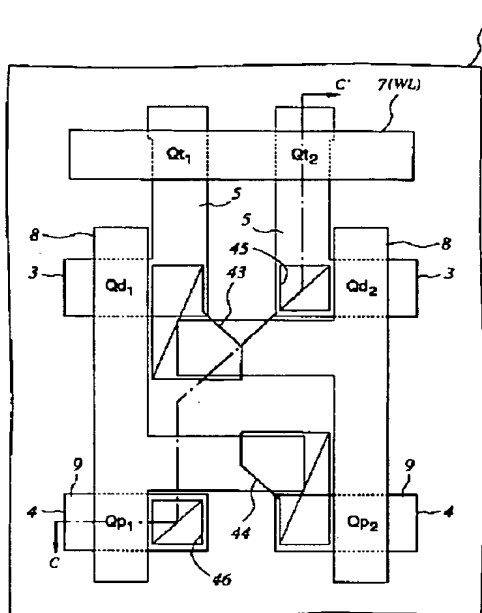
【図 51】

図 51



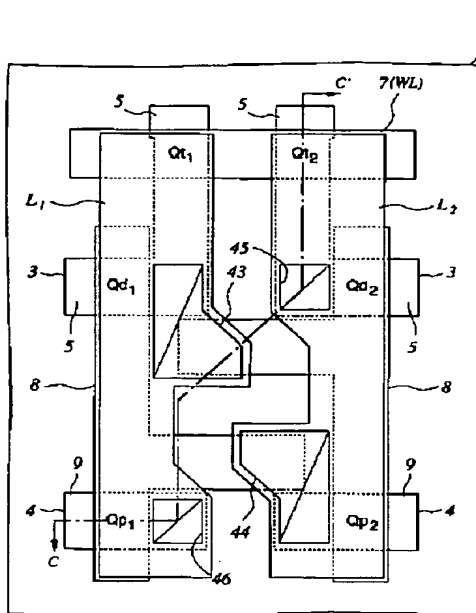
【図 53】

図 53



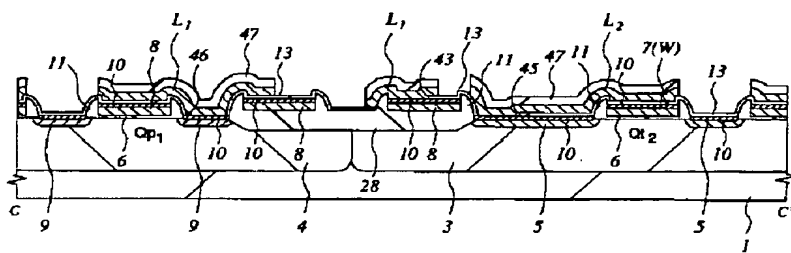
【図 55】

図 55



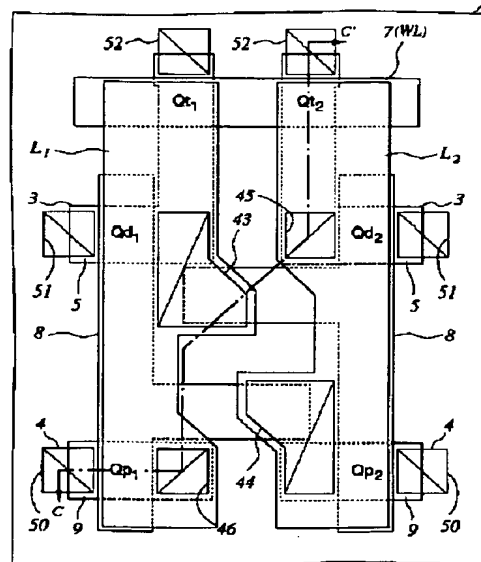
【図 56】

図 56



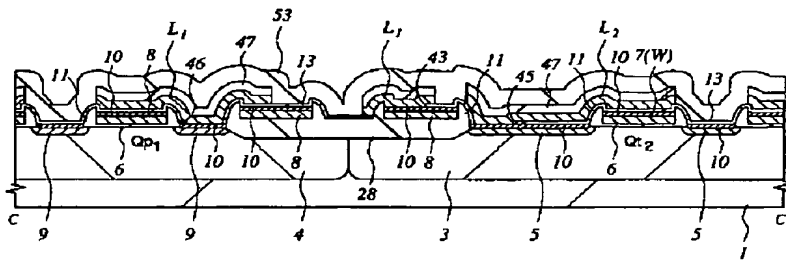
【図 59】

図 59



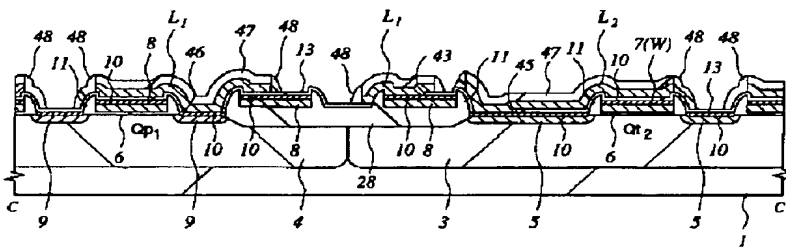
【図 57】

図 57



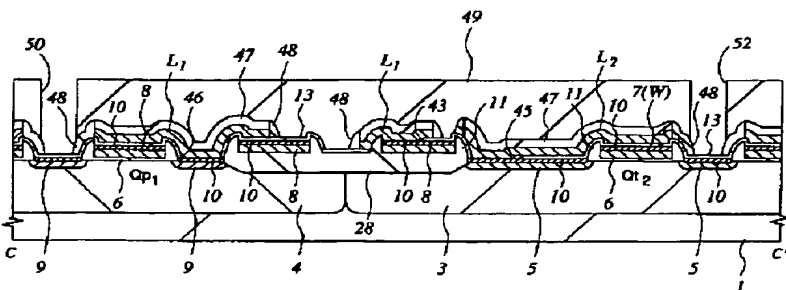
【図 58】

図 58



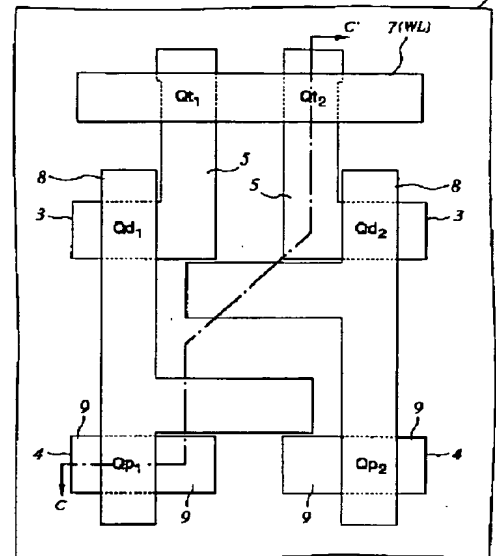
【図 60】

図 60



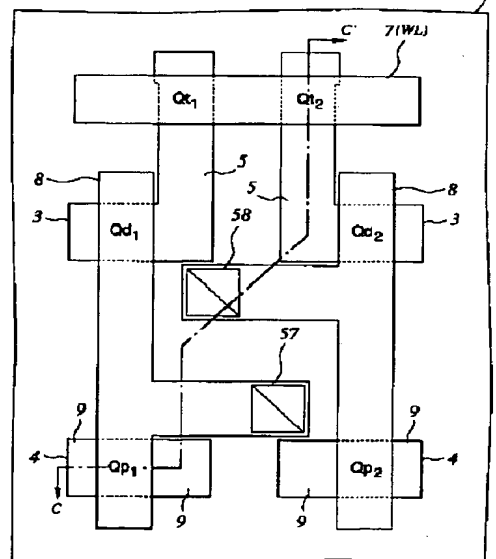
【図 65】

図 65



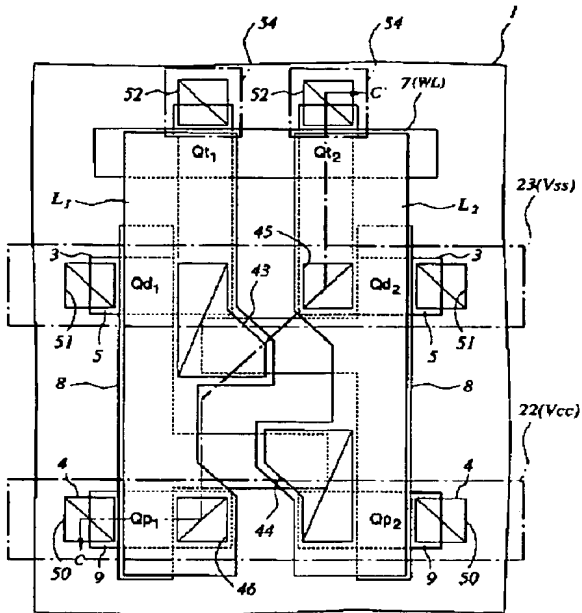
【図 67】

図 67



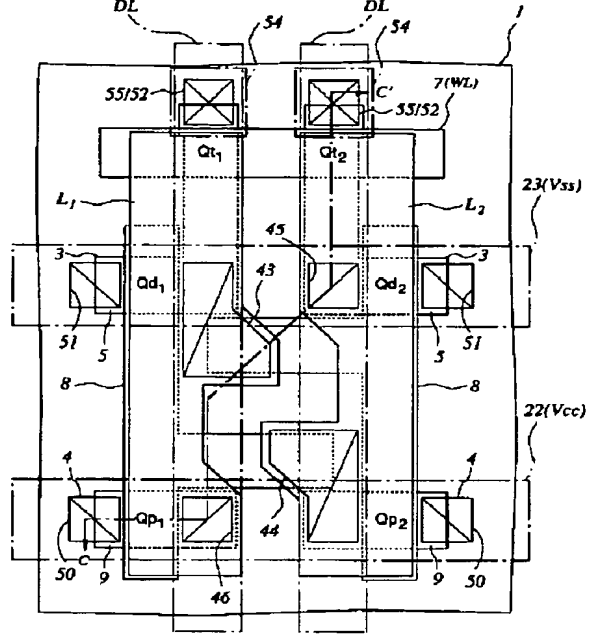
【図 6 1】

図 61



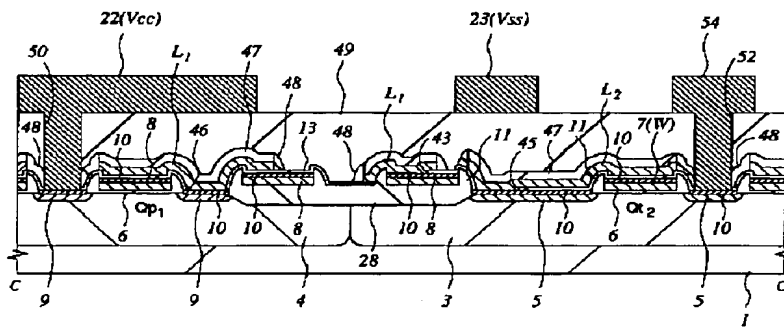
【図 6 3】

図 63



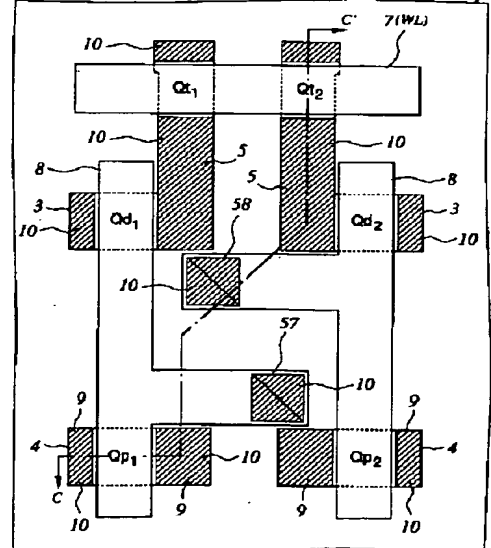
【図 6 2】

図 62



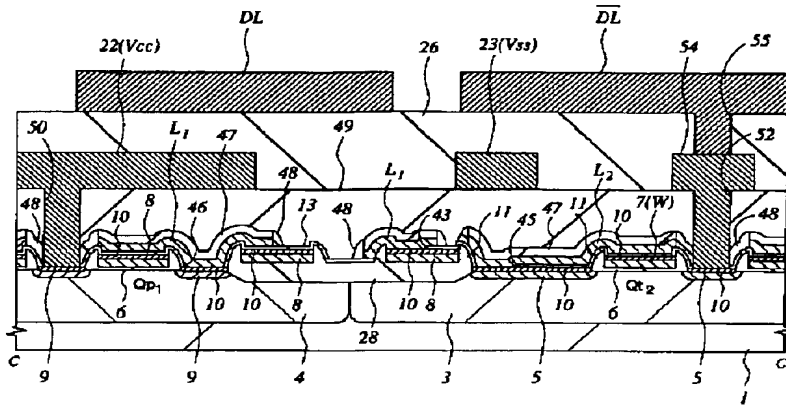
【図 6 9】

図 69



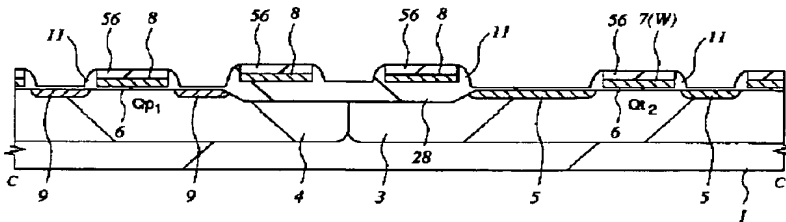
【図 64】

図 64



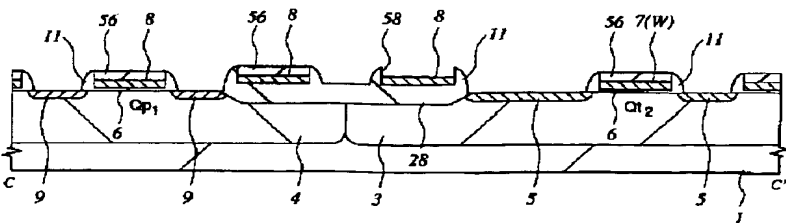
【図 66】

図 66



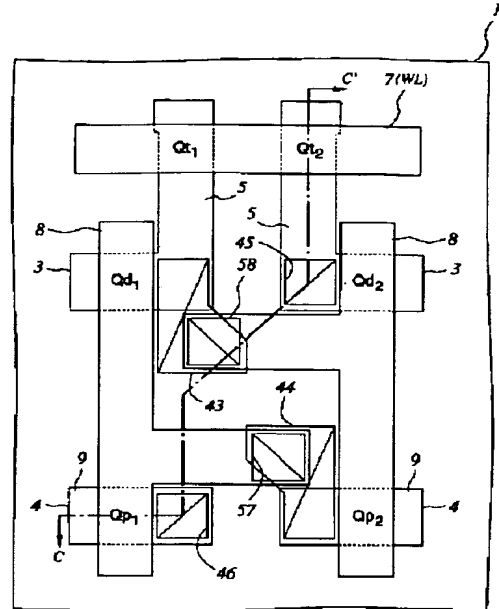
【図 68】

図 68



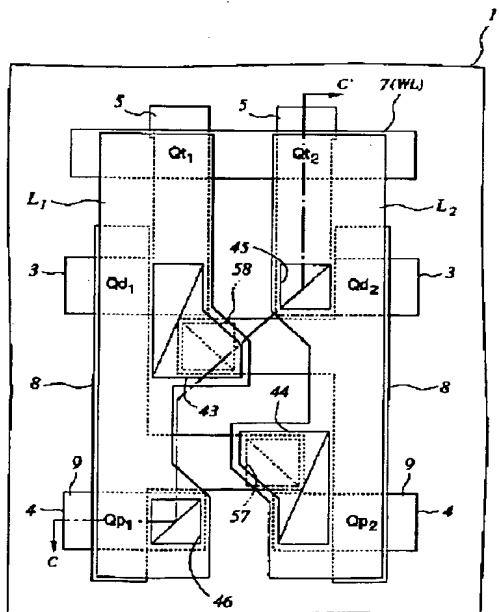
【図 71】

図 71



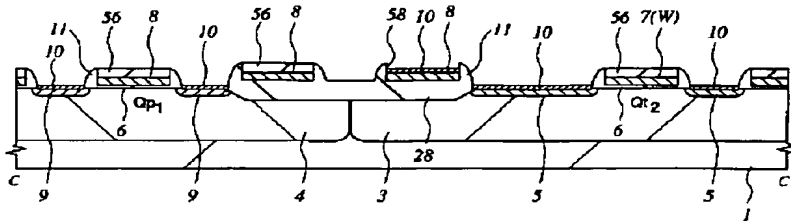
【図 73】

図 73



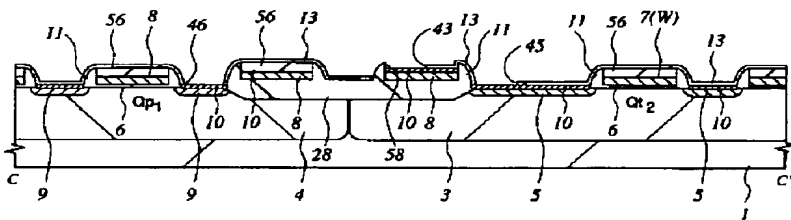
【図 70】

図 70



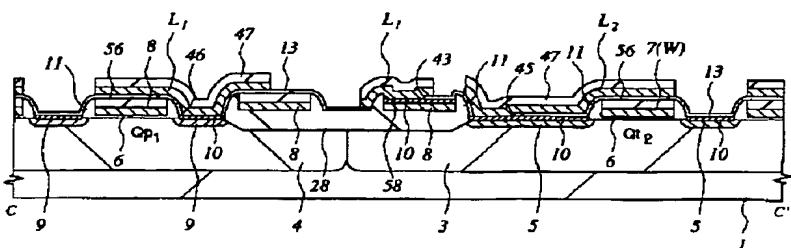
【図 72】

図 72



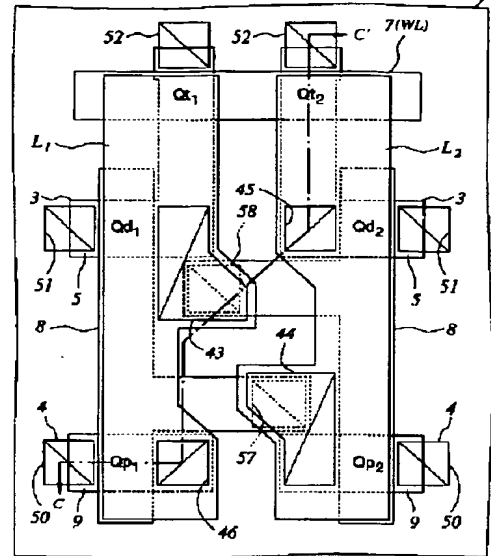
【図 74】

図 74



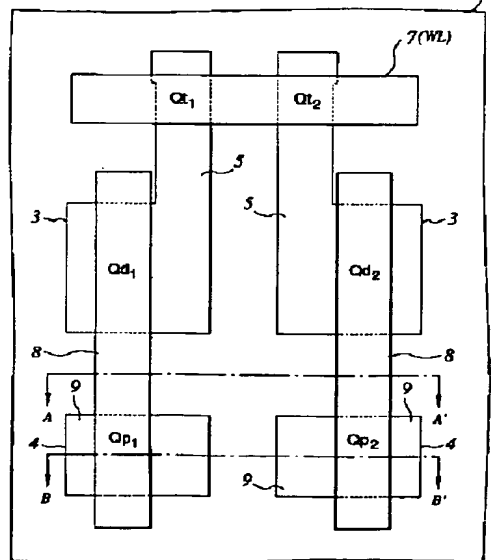
【図 76】

図 76



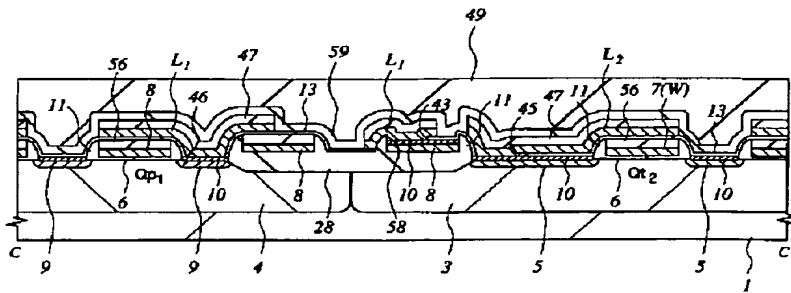
【図 83】

図 83



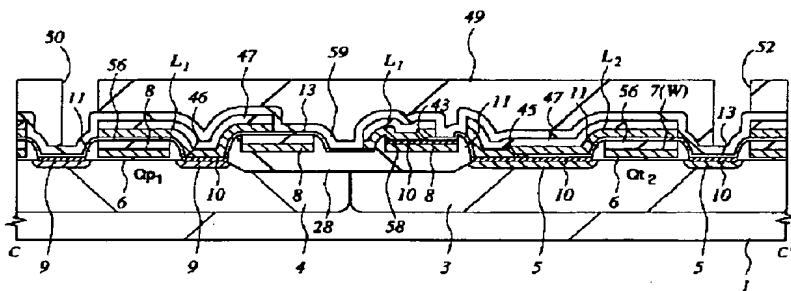
【図 75】

図 75



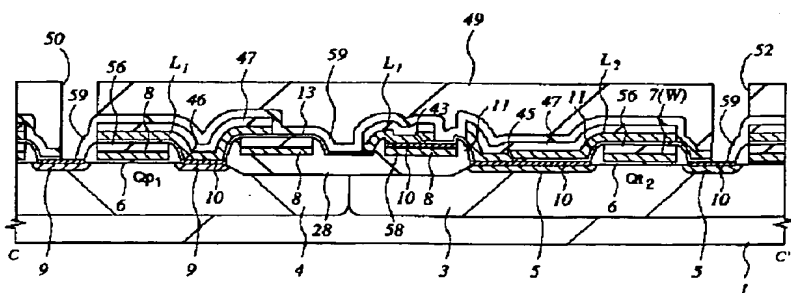
【図 77】

図 77



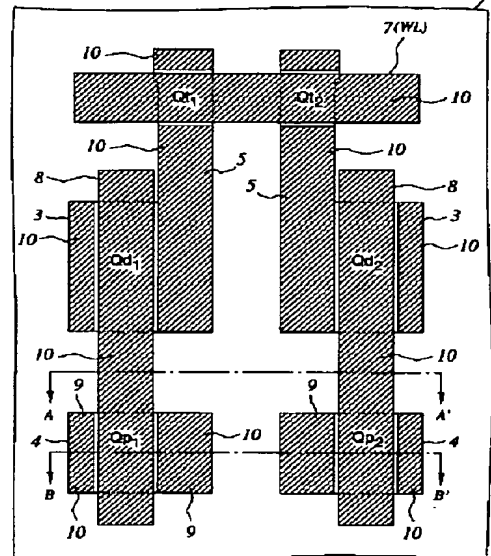
【図 78】

図 78



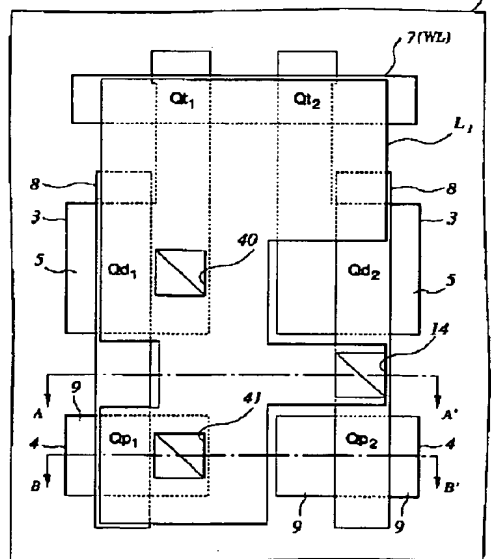
【図 85】

図 85



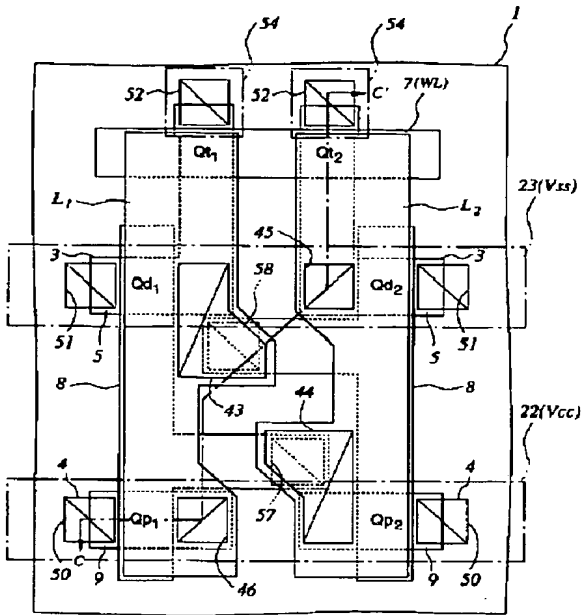
【図 87】

図 87



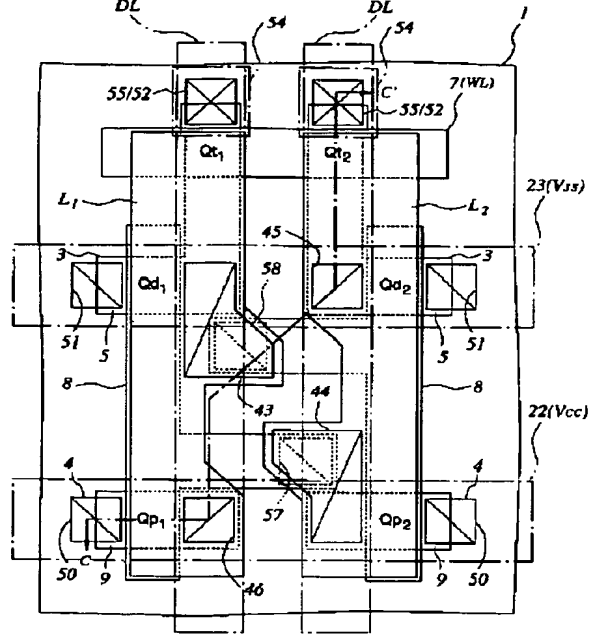
【図 7 9】

図 79



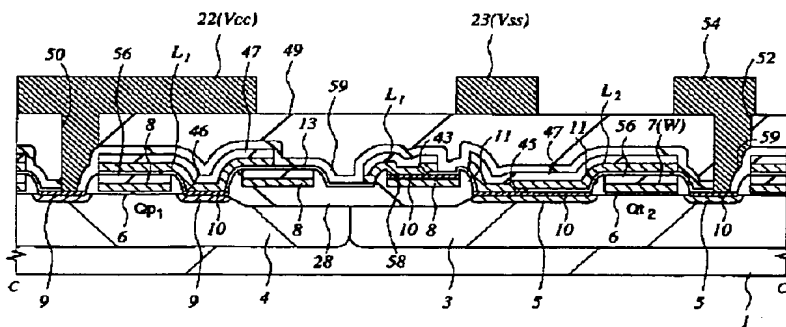
【図 8 1】

図 81



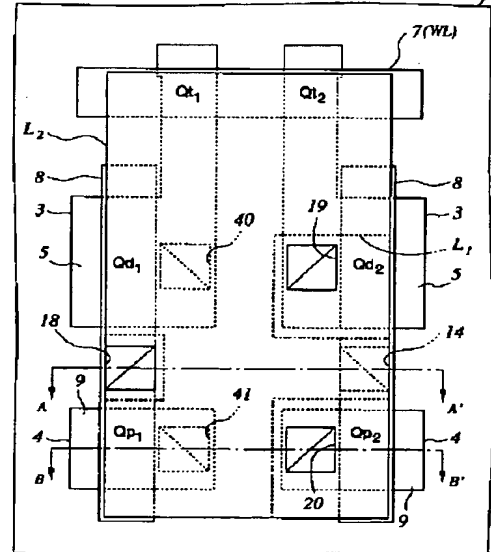
【図 8 0】

図 80



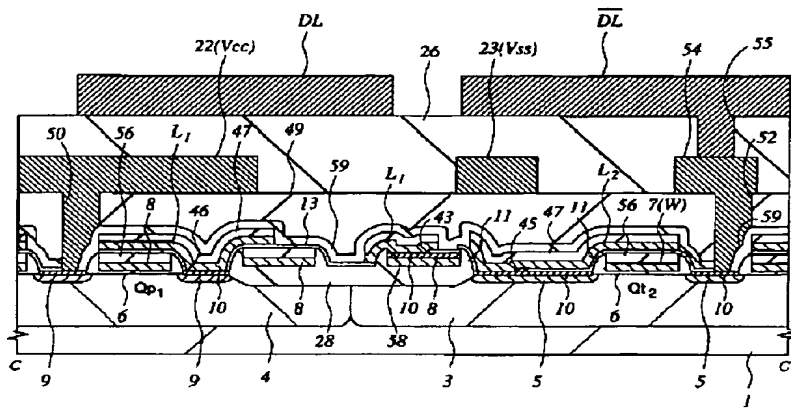
【図 8 9】

図 89



【図 82】

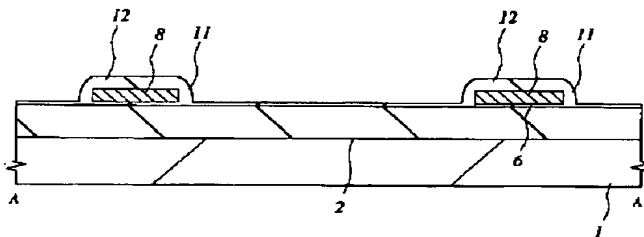
図 82



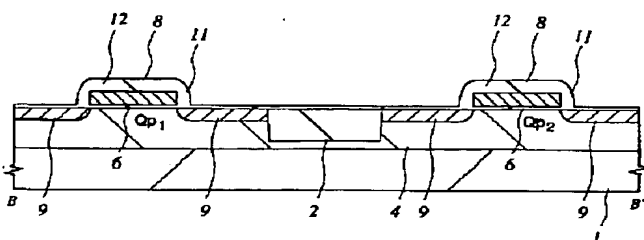
【図 84】

図 84

(a)



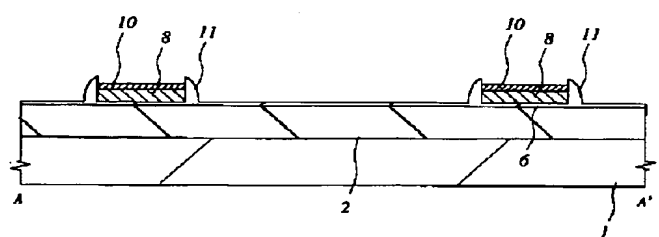
(b)



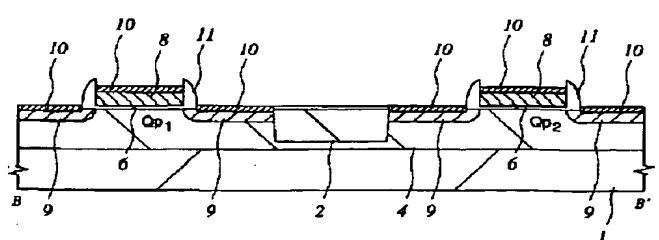
【図 86】

図 86

(a)

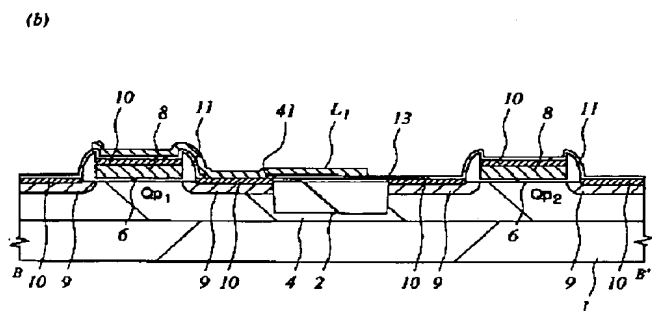
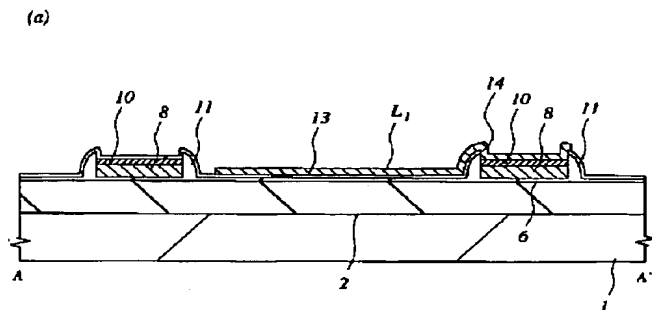


(b)



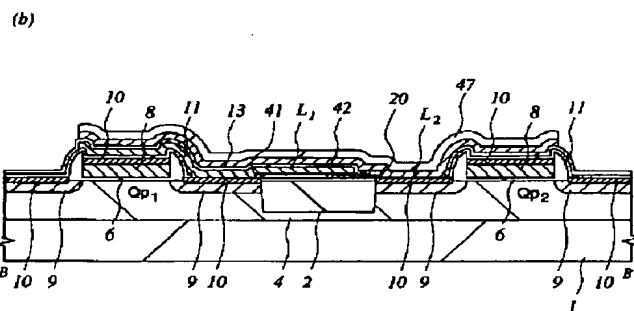
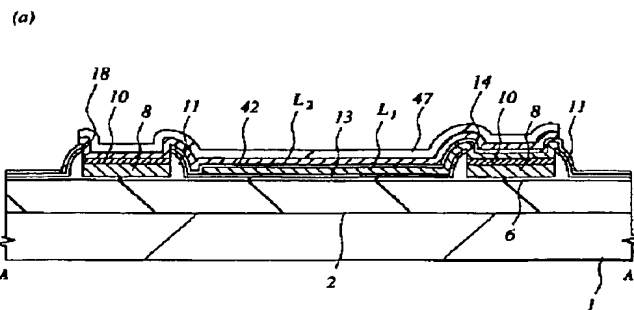
【図 8 8】

図 88



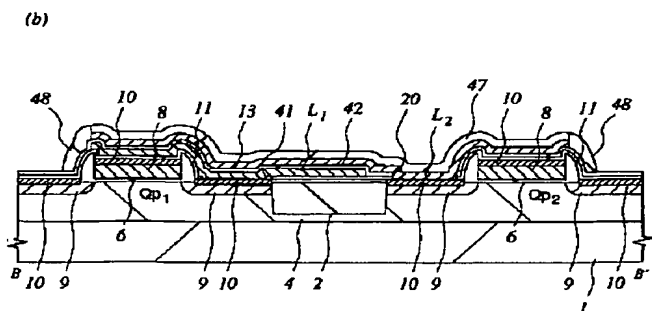
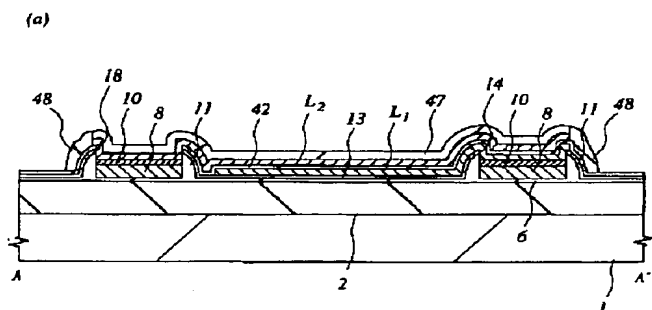
【図 9 0】

図 90



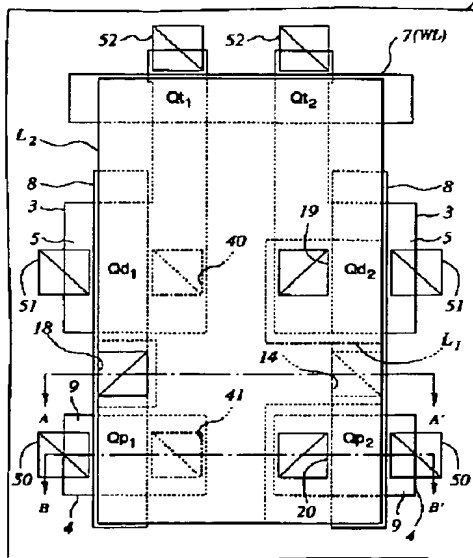
【図 9 1】

図 91



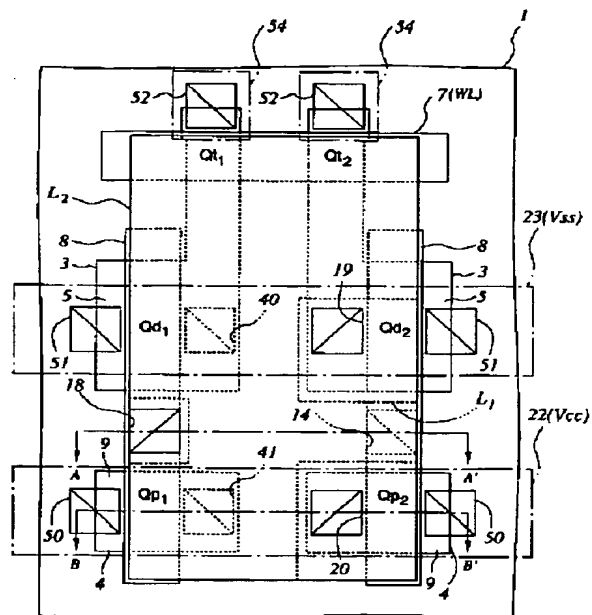
【図 9 2】

図 92



【图 9 4】

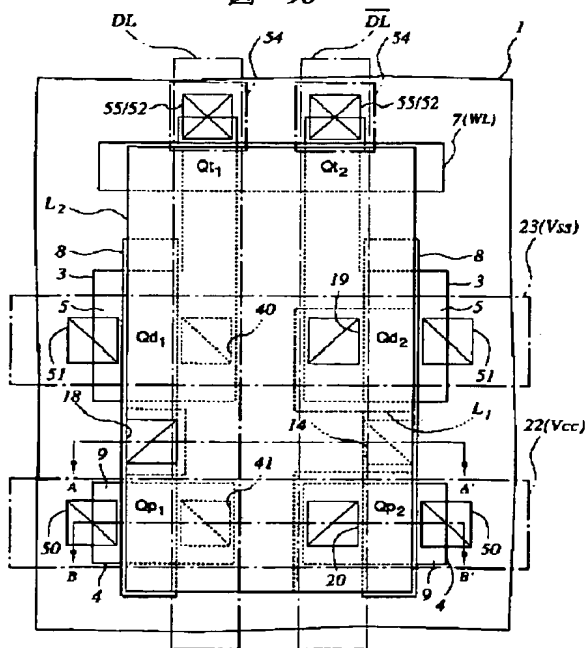
图 94



【図 9 6】

☒ 96

☒ 96



【図 97】

